

(19) Japan Patent Office (JP)

(12) Japanese Published Patent Application (A)

(11) Publication Number of Patent Application: No. H5-335424

(43) Date of Publication: December 17, 1993

5

(51) Int.Cl. ⁵	Identification	JPO file number	FI
	Symbol		
H01L 21/90		C 7735-4M	
G02F 1/136	500	9018-2K	
H01L 21/3205			
		7735-4M	H01L 21/88 B
		9056-4M	29/78 311 A

Technique display part

Request for Examination: Not requested

Number of Claims: 6 (Total 13 pages)

10 Continued on the last page

(21) Application Number: No. H4-137243

(22) Date of Application: May 28, 1992

15 (71) Applicant: 000010098

ALPS ELECTRIC Co., Ltd.

1-7, Yukigaya Otsuka-machi, Ota-ku, Tokyo

(72) Inventor: Setsuo ISHIBASHI

c/o ALPS ELECTRIC Co., Ltd.

1-7, Yukigaya Otsuka-machi, Ota-ku, Tokyo

(72) Inventor: Mitsuo BITO

c/o ALPS ELECTRIC Co., Ltd.

5 1-7, Yukigaya Otsuka-machi, Ota-ku, Tokyo

(72) Inventor: Kazunari TAKITA

c/o ALPS ELECTRIC Co., Ltd.

1-7, Yukigaya Otsuka-machi, Ota-ku, Tokyo

(74) Agent: Patent Attorney, Masatake SHIGA et al.

10 Continued on the last page

(54) [Title of the Invention] METHOD FOR ELECTRICALLY CONNECTING UPPER
ELECTRODE AND LOWER ELECTRODE WITH INSULATING LAYER
INTERPOSED THEREBETWEEN, AND STRUCTURE FOR THE SAME

15

(57) [Abstract]

[Object] To provide an efficient method for electrically connecting an upper electrode
and a lower electrode through a contact hole made with an insulating layer, and a
structure for the same.

20 [Constitution] A feature is to integrally form a conductive member in a contact hole
and an upper electrode by coating a lower electrode with an insulating layer, forming
the contact hole in this insulating layer, providing a material to be conductive after
baking inside the contact hole and on an upper surface of the insulating layer, and
baking this.

25 [Effect] An upper electrode and a lower electrode can be in contact with each other

efficiently, and a manufacturing process can be simplified.

[Scope of Claim for Patent]

[Claim 1] A method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween, comprising the step of integrally forming a conductive member in a contact hole and an upper electrode by
5 coating a lower electrode with an insulating layer, forming the contact hole in the insulating layer, providing a material to be conductive after baking inside the contact hole and on an upper surface of the insulating layer, and baking this.

[Claim 2] The method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween according to Claim 1, wherein
10 the material to be conductive after baking which is provided inside the contact hole and on the upper surface of the insulating layer is formed by application means such as an immersion method, a spin coating method, or a spray method.

[Claim 3] A method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween, comprising the steps of:
15 coating a lower electrode with an insulating layer; forming a contact hole in the insulating layer; filling the contact hole with a material to be conductive after baking; forming a conductive member by baking this; and forming an upper electrode by stacking a conductive material over the conductive member and on an upper surface of the insulating layer.

20 [Claim 4] The method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween according to Claim 3, wherein the material to be conductive after baking which is provided inside the contact hole is formed by application means such as an immersion method, a spin coating method, or a spray method.

25 [Claim 5] A structure for electrically connecting an upper electrode and a lower

electrode with an insulating layer interposed therebetween, comprising a conductive member to which conductivity is imparted by baking and an upper electrode, which are provided in a contact hole in an insulating layer stacked over a lower electrode and on an upper surface of the insulating layer.

- 5 [Claim 6] A structure for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween, comprising a conductive member to which conductivity is imparted by baking, filling a contact hole in an insulating layer stacked over a lower electrode, and a conductive material stacked over the conductive member and on an upper surface of the insulating layer.

10

[Detailed Description of the Invention]

[0001]

[Field of Industrial Application] The present invention relates to a method for electrically connecting an upper electrode and a lower electrode with an insulating layer
15 interposed therebetween in a manufacturing process of a semiconductor, or the like, and a structure thereof.

[0002]

[Conventional Art] FIG. 6 is a schematic cross-sectional view which shows one structure example of an active-matrix liquid crystal substrate including a thin film
20 transistor (hereinafter abbreviated to a TFT). In this liquid crystal substrate, a gate electrode 2 and a pixel electrode 3 are provided over a substrate 1, and further, a gate insulating film 4 covering this, and a semiconductor layer 7 which includes an active layer 5 made of an a-Si film 5a provided on an upper surface of this and an n⁺ layer 6 are formed. In addition, a gate electrode 9a and a drain electrode 9b are provided of a
25 low-resistance metal material over this semiconductor layer 7.

[0003] Further, in the structure, the gate insulating film 4 is provided with a contact hole 8, and this contact hole 8 is filled with a conductive member 8B, thereby connecting the drain electrode 9b and the pixel electrode 3.

[0004] Then, in order to manufacture a liquid crystal substrate having the above structure, for example, a gate electrode 2 made of polycrystalline silicon doped with P (phosphorus) or B (boron), or low-resistance metal such as Cr, Mo, or Ti is formed first over a substrate 1 made of an insulator such as low-melting glass, as shown in FIG. 5(a).

[0005] Next, a transparent conductive film made of indium, tin oxide (hereinafter abbreviated to an ITO film) 3a is formed thereover as shown in FIG. 5(b). After this, this ITO film 3a is shaped into a shape shown in FIG. 5(c) using a photolithography technique to form a pixel electrode 3 (lower electrode). At this time, an etchant of a hydrochloric acid/nitric acid mixture is generally used.

[0006] Then, a gate insulating film 4 is formed thereover as shown in FIG. 5(d). This gate insulating film 4 is formed by coating the gate electrode 2 with SiO₂ (silicon oxide), Si₃N₄ (silicon nitride), or the like.

[0007] Next, an a-Si film 5a serving as an active layer 5 and an n⁺ a-Si film 6a serving as an n⁺ layer 6 of a TFT are formed over this gate insulating film 4. Then, after a resist is applied to this surface, exposed to light, and developed, the a-Si film 5a and the n⁺ a-Si film 6a are etched to form a semiconductor layer 7 including the active layer 5 and the n⁺ layer 6 as shown in FIG. 5(f).

[0008] After this, a contact hole 8 with a size of approximately 20 μm square and a depth of approximately several thousand angstroms as shown in FIG. 5(f) is formed in the gate insulating film 4 over the pixel electrode 3. Then, in order to fill this contact hole 8 with a conductive member 8B made of Al or the like, a film of the conductive member 8B is formed by sputtering or the like as shown in FIG. 5(g), and after that, an

unnecessary portion is removed by etching treatment to make such a shape as shown in FIG. 5(h).

[0009] Next, these are coated with a conductor film 9 made of a low-resistance metal material such as Al (aluminum) or Cr (chromium) as shown in FIG. 5(i). Then, this conductor film 9 is patterned using a photolithography technique to form a source electrode 9a and a drain electrode 9b (upper electrode). Thus, in the structure, this drain electrode 9b is connected to the pixel electrode 3 through the contact material 8B filling the contact hole 8.

[0010]

[Problems to be Solved by the Invention] Therefore, as a means of making the drain electrode 9b and the pixel electrode 3 in contact with each other in the conventional method for manufacturing a liquid crystal substrate as described above, the contact hole 8 is formed in the gate insulating film 4 over the pixel electrode 3, the film of the conductive member 8B made of Al or the like is formed by a sputtering method or the like to fill the contact hole 8 with the conductive member 8B, the conductive member 8B is patterned by removing an unnecessary portion through etching treatment, and the source electrode 9a and the drain electrode 9b are then formed thereover.

[0011] However, there is limitation as described below on the shape such as the depth and width of the contact hole 8 to surely and densely fill the contact hole 8 with the conductive member 8B made of Al or the like by a sputtering method. For example, as shown in FIG. 8, when the depth of the contact hole is denoted by a , the width by b and an aspect ratio thereof (a/b) is $a/b > 1$, it is difficult and takes time to densely fill this contact hole 8 with the conductive member 8B without space by a sputtering method.

[0012] Therefore, since a space is easily generated in the conductive member 8B filling the contact hole provided in the insulating layer of the conventional liquid crystal

substrate, a defect may be generated in contact function between the drain electrode 9b and the pixel electrode 3. Particularly when the depth of the contact hole 8 is deep, there is a problem in that it is difficult to densely and surely fill the contact hole 8 with the conductive member 8B by a sputtering method or the like as described above and
5 defective contact between the drain electrode 9b and the pixel electrode 3 is easily caused.

[0013] Furthermore, as described above, the conventional manufacturing process for forming a contact means between the drain electrode 9b (upper electrode) and the pixel electrode 3 (lower electrode) requires a complex manufacturing process such as steps of
10 forming the contact hole 8 in the gate insulating layer 4 over the pixel electrode 3, then forming a film of the conductive member 8B thereover, and patterning this as shown in FIG. 5(g) and FIG. 5(h). Therefore, unfavorable production efficiency and poor yield have been a problem.

[0014] Thus, the present invention is made in view of the above problems, and it is an
15 object of the present invention to provide an electrically connecting method and a structure thereof, with which an upper electrode can be in favorable contact with a lower electrode which is electrically connected thereto through a contact hole made with an insulating layer, and its manufacturing process can be simplified.

[0015]

20 [Means to Solve the Problem] In order to solve the above-described problems, the method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween according to claim 1 is characterized by integrally forming a conductive member in a contact hole and an upper electrode by coating a lower electrode with an insulating layer, forming the contact hole in this
25 insulating layer, providing a material to be conductive after baking inside the contact

hole and on an upper surface of the insulating layer, and baking this.

[0016] In order to solve the above-described problems, the method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween according to claim 2 is characterized in that the material to be conductive
5 after baking which is provided inside the contact hole and on the upper surface of the insulating layer according to claim 1 is formed by application means such as an immersion method, a spin coating method, or a spray method.

[0017] In order to solve the above-described problems, the method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed
10 therebetween according to claim 3 is characterized by coating a lower electrode with an insulating layer, forming a contact hole in this insulating layer, filling the contact hole with a material to be conductive after baking, forming a conductive member by baking this, and forming an upper electrode by stacking a conductive material over this conductive member and on an upper surface of the insulating layer.

15 [0018] In order to solve the above-described problems, the method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween according to claim 4 is characterized in that the material to be conductive after baking which is provided inside the contact hole according to claim 3 is formed by application means such as an immersion method, a spin coating method, or a spray
20 method.

[0019] In order to solve the above-described problems, the mechanism for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween according to claim 5 is characterized by including a conductive member to which conductivity is imparted by baking and an upper electrode, which are provided
25 inside a contact hole of an insulating layer stacked over a lower electrode and on an

upper surface of the insulating layer.

[0020] In order to solve the above-described problems, the mechanism for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween according to claim 6 is characterized by including a conductive member
5 to which conductivity is imparted by baking, filling a contact hole of an insulating layer stacked over a lower electrode, and a conductive material stacked over this conductive member and on an upper surface of the insulating layer.

[0021]

[Operation] The method for electrically connecting an upper electrode and a lower
10 electrode with an insulating layer interposed therebetween according to the present invention is to integrally form a conductive member in a contact hole and an upper electrode by forming the contact hole in an insulating layer coating an upper surface of a lower electrode, providing a material to be conductive after baking in the contact hole and on an upper surface of the insulating layer, and baking these.

15 [0022] Thus, according to the method of the present invention, the conductive member in the contact hole and the upper electrode are integrally formed; therefore, the upper electrode can be in favorable contact with the lower electrode which is electrically connected thereto through the contact hole. Further, the conductive member in the contact hole and the upper electrode are integrally formed; therefore, the manufacturing
20 process can be simplified and defective electrical connection due to space or the like at the boundary between the conductive member and the upper electrode can be prevented.

[0023] In addition, according to the method of the present invention, the conductive member provided in the contact hole is formed by application means such as an immersion method, a spin coating method, a spray method, or a printing method;
25 therefore, the conductive member can be formed densely without space and the

conductive member inside the contact hole can favorably and surely make the upper electrode and the lower electrode in contact with each other.

[0024] Further, when a contact hole formed in an insulating layer is filled by application means as described above with a material to be conductive after baking, a
5 conductive member is formed by baking this, and an upper electrode is formed by stacking a conductive material over the conductive member and the insulating layer, the conductive member filling the contact hole can also be formed densely and surely and can favorably and surely make the upper electrode and the lower electrode in contact with each other, without integrally forming the upper electrode and the conductive
10 material in the contact hole.

[0025]

[Embodiment] Referring to drawings, a description is made of embodiments of the method and structure for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween according to the present
15 invention.

(Embodiment 1) FIG. 1(g) is a schematic cross-sectional view which shows one embodiment of a liquid crystal substrate embodying the present invention. This liquid crystal substrate includes a gate electrode 2 and a pixel electrode 3 formed over a substrate 1, a gate insulating film 4 covering this and including a contact hole 8, a
20 semiconductor layer 7 including an active layer 5 made of an a-Si film provided on an upper surface of this and an n^+ layer 6, and a conductive member 9A and an upper electrode 9 integrally formed inside the contact hole 8 and on the upper surface of the gate insulating layer 4. Note that the upper electrode 9 is patterned and includes a source electrode 9a and a drain electrode 9b.

25 [0026] Thus, in order to manufacture a liquid crystal substrate having the above

structure, the gate electrode 2 made of polycrystalline silicon doped with P (phosphorus) or B (boron), or low-resistance metal such as Cr, Mo, or Ti with a thickness of approximately 1000 Å is formed first by a sputtering method or the like over the substrate 1 made of an insulator such as low-melting glass as shown in FIG. 1(a).

5 [0027] Next, a transparent conductive film made of indium, tin oxide (hereinafter abbreviated to an ITO film) 3a is formed thereover with a thickness of approximately 1000 Å to 2000 Å as shown in FIG. 1(b). After this, the ITO film 3a is patterned into a shape shown in FIG. 1(c) using a photolithography technique to form the pixel electrode 3 (lower electrode). At this time, an etchant of a hydrochloric acid/nitric acid mixture
10 is generally used.

[0028] Then, the gate insulating film 4 with a thickness of approximately 1500 Å to 2000 Å is formed thereover as shown in FIG. 1(d). This gate insulating film 4 is formed by oxidizing the gate electrode 2 or formed over the gate electrode 4 with SiO₂ (silicon oxide), Si₃N₄ (silicon nitride), or the like by a plasma enhanced CVD (chemical
15 vapor deposition) method (hereinafter abbreviated to a PECVD method) or the like.

[0029] Next, over this gate insulating film 4, the semiconductor layer 7 including the a-Si film 5a serving as the active layer 5 and an n⁺ a-Si film 6a serving as the n⁺ layer 6 of a TFT is formed as shown in FIG. 1(e). The active layer 5 is the a-Si film formed by a PECVD method or the like with a thickness of approximately 1000 Å to 2000 Å, and
20 the n⁺ layer 6 is an n⁺ a-Si:H film doped with P (phosphorus) which is formed by a PECVD method or the like with a thickness of approximately 100 Å to 500 Å.

[0030] After this, the contact hole 8 as shown in FIG. 1(f) is formed in the gate insulating film 4 over the pixel electrode 3. Then, as shown in FIG. 1(g), a material to be conductive after baking is provided inside the contact hole 8 and on the upper surface
25 of the gate insulating film 4 by application means such as an immersion method, a spin

coating method, a spray method, or a printing method, and this is baked at a baking temperature of approximately 500 °C, thereby forming the conductive member 9A and the upper electrode 9. The upper electrode 9 includes the source electrode 9a and the drain electrode 9b with a thickness of approximately 2000 Å which are processed by
5 patterning. Accordingly, in the structure, the drain electrode 9b is connected to the pixel electrode 3 through the conductive member 9A formed integrally with the drain electrode 9b and filling the contact hole 8.

[0031] (Embodiment 2) FIG. 2(i) is a schematic cross-sectional view which shows one structure example of a liquid crystal substrate embodying the present invention. This
10 liquid crystal substrate includes a gate electrode 2 and a pixel electrode 3 (lower electrode) formed over a substrate 1, a gate insulating film 4 covering this and including a contact hole 8, a semiconductor layer 7 including an active layer 5 made of an a-Si film 5a provided on an upper surface of this and an n⁺ layer 6, the contact hole 8 filled with a conductive member 8A to be conductive after baking, and a source electrode 9a
15 and a drain electrode 9b (upper electrode) made of low-resistance metal such as Al or Cr formed over these.

[0032] Thus, in order to manufacture a liquid crystal substrate having the above structure, the gate electrode 2 made of polycrystalline silicon doped with P (phosphorus) or B (boron), or low-resistance metal such as Cr, Mo, or Ti with a thickness of
20 approximately 1000 Å is formed first over the substrate 1 made of an insulator such as low-melting glass as shown in FIG. 2(a).

[0033] Next, an ITO film 3a made of indium, tin oxide with a thickness of approximately 1000 Å to 2000 Å is formed thereover as shown in FIG. 2(b). After this, this ITO film 3a is shaped into a shape shown in FIG. 2(c) using a photolithography
25 technique to form the pixel electrode 3 (lower electrode). At this time, an etchant of a

hydrochloric acid/nitric acid mixture is generally used.

[0034] Then, the gate insulating film 4 with a thickness of approximately 1500 Å to 2000 Å is formed thereover as shown in FIG. 2(d). This gate insulating film 4 is formed by oxidizing the gate electrode 2 or formed over the gate electrode 2 with SiO₂ (silicon oxide), Si₃N₄ (silicon nitride), or the like by a PECVD method or the like.

[0035] Next, over the gate insulating film 4, the semiconductor layer 7 including the a-Si film 5a serving as the active layer 5 and an n⁺ a-Si film 6a serving as the n⁺ layer 6 of a TFT is formed as shown in FIG. 2(e). The active layer 5 is an a-Si:H film formed by a PECVD method or the like with a thickness of approximately 1000 Å to 2000 Å, and the n⁺ layer 6 is n⁺ a-Si:H doped with P, which is formed by a PECVD method or the like with a thickness of approximately 100 Å to 200 Å.

[0036] Then, as shown in FIG. 2(f), the semiconductor layer 7 is patterned and the contact hole 8 is formed in the gate insulating film 4 over the pixel electrode 3. Then, as shown in FIG. 2(g), a material to be conductive after baking is formed inside this contact hole 8 by application by an immersion method, a spin coating method, a spray method, a printing method, or the like. This is baked and then patterned as shown in FIG. 2(h) to form the conductive member 8A.

[0037] Further, after that, a stacked film formed by sequentially stacking Al and Cr by a sputtering method or the like is patterned as shown in FIG. 2(i), thereby forming the source electrode 9a and the drain electrode 9b over these. Note that thicknesses of the Al layer and the Cr layer are set in the range of Al/Cr = 2000/1000 to 4000/1000 Å. Accordingly, in the structure, the drain electrode 9b is connected to the pixel electrode 3 through the conductive member 8A in the contact hole.

[0038] (Embodiment 3) FIG. 3(i) is a schematic cross-sectional view which shows one structure example of a liquid crystal substrate embodying the present invention. This

liquid crystal substrate includes a gate electrode 2 formed over a substrate 1, a gate insulating film 4 covering this, a semiconductor layer 7 including an active layer 5 made of an a-Si film 5a provided on an upper surface of this and an n^+ layer 6, a source electrode 9a and a drain electrode 9b (lower electrode) provided over the semiconductor layer 7, an upper insulating layer 10 made of an insulating material provided thereover, and a conductive member 11a inside a contact hole 8 of the upper insulating layer 10, which is formed so as to be electrically connected to the drain electrode 9b and an upper electrode 11 formed integrally with this conductive member 11a.

[0039] Thus, in order to manufacture a liquid crystal substrate having the above structure, the gate electrode 2 made of polycrystalline silicon doped with P (phosphorus) or B (boron), or low-resistance metal such as Cr, Mo, or Ti with a thickness of approximately 1000 Å is formed first over the substrate 1 made of an insulator such as low-melting glass as shown in FIG. 3(a).

[0040] Next, the gate insulating film 4 with a thickness of approximately 1500 Å to 2000 Å is formed thereover as shown in FIG. 3(b). This gate insulating film 4 is formed by oxidizing the gate electrode 2 or formed over the gate electrode 2 with SiO_2 (silicon oxide), Si_3N_4 (silicon nitride), or the like by a PECVD method or the like.

[0041] Then, over this gate insulating layer 3, the semiconductor layer 7 including the a-Si film 5a serving as the active layer 5 and the n^+ layer 6 of a TFT is formed as shown in FIG. 3(d). The active layer 5 is an a-Si:H film formed by a PECVD method or the like with a thickness of approximately 1000 Å to 2000 Å, and the n^+ layer 6 is an n^+ a-Si:H film doped with P, which is formed by a PECVD method or the like with a thickness of approximately 100 Å to 500 Å.

[0042] Further, the source electrode 9a and the drain electrode 9b are formed over the semiconductor layer 7 as shown in FIG. 3(e). The source electrode 9a and the drain

electrode 9b are formed by patterning a stacked film formed by sequentially forming Al and Cr by a sputtering method or the like, and thicknesses of an Al layer and a Cr layer are set in the range of approximately Al/Cr = 2000/1000 to 4000/1000 Å.

[0043] Furthermore, the upper insulating layer 10 formed with SiO₂ (silicon oxide), Si₃N₄ (silicon nitride), or the like by a PECVD method or the like is formed thereover as shown in FIG. 3(f). Then, in the upper insulating layer 10, the contact hole 8 which is electrically connected to the drain electrode 9b is formed as shown in FIG. 3(g). After that, a material 11A to be conductive after baking is formed inside this contact hole 8 and on an upper surface of the upper insulating layer 10 by application means such as an immersion method, a spin coating method, a spray method, or a printing method and is then baked, thereby integrally forming the conductive member 11a inside the contact hole and the upper electrode 11. Note that the upper electrode 11 is patterned into such a shape as shown in FIG. 3(i) and is electrically connected to the drain electrode 9b through the conductive member 11a in the contact hole.

[0044] (Embodiment 4) FIG. 4(k) is a schematic cross-sectional view which shows one structure example of a liquid crystal substrate embodying the present invention. This liquid crystal substrate includes a gate electrode 2 and a pixel electrode 11 (upper electrode) formed over a substrate 1, a gate insulating film 4 covering this, a semiconductor layer 7 including an active layer 5 made of an a-Si film 5a provided on an upper surface of this and an n⁺ layer 6, a source electrode 9a and a drain electrode 9b (lower electrode) provided over the semiconductor layer 7, an upper insulating layer 10 provided thereover, a conductive member 8C to be conductive after baking which is provided inside a contact hole 8 provided in the upper insulating layer 10, and a pixel electrode 13 (upper electrode) made of low-resistance metal such as Al or Cr which is provided on an upper surface of the conductive member 8C and the upper insulating

layer 10.

[0045] Thus, in order to manufacture a liquid crystal substrate having the above structure, the gate electrode 2 made of polycrystalline silicon doped with P (phosphorus) or B (boron), or low-resistance metal such as Cr, Mo, or Ti with a thickness of
5 approximately 1000 Å is formed first over the substrate 1 made of an insulator such as low-melting glass as shown in FIG. 4(a).

[0046] Next, the gate insulating film 4 with a thickness of approximately 1500 Å to 2000 Å is formed thereover as shown in FIG. 4(b). This gate insulating film 4 is formed by oxidizing the gate electrode 2 or formed over the gate electrode 4 with SiO₂
10 (silicon oxide), Si₃N₄ (silicon nitride), or the like by a PECVD method or the like.

[0047] Then, over this gate insulating film 4, the semiconductor layer 7 including the a-Si film 5a serving as the active layer 5 and the n⁺ layer 6 of a TFT is formed as shown in FIG. 4(d). The active layer 5 is the a-Si film formed by a PECVD method or the like with a thickness of approximately 1000 Å to 2000 Å, and the n⁺ layer 6 is formed
15 with n⁺ a-Si:H doped with P with a thickness of approximately 100 Å to 500 Å as shown in FIG. 4(c).

[0048] Further, the source electrode 9a and the drain electrode 9b are formed over the semiconductor layer 7 as shown in FIG. 4(e). The source electrode 9a and the drain electrode 9b are formed by patterning a stacked film formed by sequentially stacking Al
20 and Cr, and thicknesses of an Al layer and a Cr layer are set in the range of Al/Cr = 2000/1000 to 4000/1000 Å.

[0049] Furthermore, a film of SiO₂ (silicon oxide), Si₃N₄ (silicon nitride), or the like is formed thereover by a PECVD method or the like to form the upper insulating layer 10 as shown in FIG. 4(f).

25 [0050] Then, in this upper insulating layer 10, the contact hole 8 which is electrically

connected to the drain electrode 9a as shown in FIG. 4(g) is formed. After that, a material 8c to be conductive after baking is provided inside the contact hole 8 by application means such as an immersion method, a spin coating method, a spray method, or a printing method as shown in FIG. 4(h), and the conductive member 8C is formed by
5 baking this and is then patterned into such a shape as shown in FIG. 4(i).

[0051] Furthermore, an ITO film 13a is formed on an upper surface of these by a sputtering method or the like with a thickness of approximately 1000 Å to 2000 Å as shown in FIG. 4(j) and is patterned to form the pixel electrode 13 having such a shape as shown in FIG. 4(k). Accordingly, in the structure, the pixel electrode 13 is connected
10 to the drain electrode 9b through the conductive member 8C filling the contact hole 8.

[0052] As described above, in Embodiments 1 and 3, the method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween is to integrally form a conductive member in a contact hole and an upper electrode by forming a contact hole in an insulating layer coating an upper surface of a
15 lower electrode, providing a material to be conductive after baking inside the contact hole and on an upper surface of the insulating layer, and baking these.

[0053] Thus, in the above embodiments, the conductive member in the contact hole and the upper electrode are integrally formed; therefore, the upper electrode can be in favorable contact with the lower electrode which is electrically connected thereto
20 through the contact hole. Furthermore, the conductive member in the contact hole and the upper electrode are integrally formed; therefore, the manufacturing process can be simplified and defective electrical connection due to space or the like at the boundary between the conductive member and the upper electrode can be prevented.

[0054] In addition, according to the method of the present invention, the conductive
25 member provided in the contact hole is formed by application means such as an

immersion method, a spin coating method, a spray method, or a printing method; therefore, the conductive member can be formed densely without space and the conductive member inside the contact hole can favorably and surely make the upper electrode and the lower electrode in contact with each other.

5 [0055] Further, as the above-described electrical connection structure of Embodiments 2 and 4, when a contact hole formed in an insulating layer is filled by application means as described above with a material to be conductive after baking, a conductive member is formed by baking this, and an upper electrode is formed by stacking a conductive material over the conductive member and the insulating layer, the conductive member
10 filling the contact hole can also be formed densely and surely and can favorably and surely make the upper electrode and the lower electrode in contact with each other, without integrally forming the upper electrode and the conductive member in the contact hole.

[0056] Thus, a description is hereinafter made of manufacturing examples of a liquid
15 crystal substrate having an electrical connection structure manufactured using the method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween according to the present invention. Note that structures of the manufacturing examples are similar to Embodiment 2; therefore, referring to similar drawings to those used in Embodiment 2, a description is made of
20 the following manufacturing examples.

(Manufacturing Example 1) First, a Cr film with a thickness of approximately 1000 Å is formed by a sputtering method or the like over the substrate 1 made of an insulator such as low-melting glass to form the gate electrode 2 as shown in FIG. 2(a).

[0057] Next, the ITO film 3a is formed thereover with a thickness of approximately
25 1000 Å to 2000 Å as shown in FIG. 2(b), and this ITO film 3a is etched into the shape

shown in FIG. 2(c) using an etchant of a hydrochloric acid/nitric acid mixture to form the pixel electrode 3.

[0058] Then, the gate insulating film 4 with a thickness of approximately 3000 Å is formed thereover as shown in FIG. 2(d). This gate insulating film 4 is formed with Si₃N₄ (silicon nitride) by a plasma enhanced CVD method (hereinafter abbreviated to a PECVD method).

[0059] Next, the semiconductor layer 7 including the a-Si film 5a serving as the active layer 5 and the n⁺ a-Si film 6a serving as the n⁺ layer 6 of a TFT as shown in FIG. 2(e) is formed over the gate insulating film 4. The active layer 5 is an a-Si:H film formed with a thickness of approximately 1000 Å to 2000 Å by a PECVD method, and the n⁺ layer 6 is the n⁺ a-Si:H 6a doped with P (phosphorus) which is formed by a PECVD method with a thickness of approximately 100 Å to 500 Å.

[0060] Then, after this, the semiconductor layer 7 is patterned as shown in FIG. 2(f), and the contact hole 8 of 5 μmφ is formed in the gate insulating film 4 over the pixel electrode 3. Then, after the inside of this contact hole 8 is spin-coated for 30 seconds at 4000 rpm with an application solution in which 1 part by weight of In(acac)₃(triacetylacetonate indium), 0.02 parts by weight of SnCl₄·5H₂O (stannic chloride pentahydrate), 1 part by weight of (CH₃CO)₂CH₂(acetylacetone), and 100 parts by weight of ethylcellulose are sufficiently mixed, the application solution is dried at 80 °C for one hour and is further baked at 500 °C for 5 hours in an oxygen atmosphere. Accordingly, the conductive member 9A inside the contact hole 8 is formed, and an ITO film with a thickness of approximately 700 Å is formed over this conductive member 9A and the gate insulating film 4 by sputtering or the like and is then patterned, thereby forming the source electrode 9a and the drain electrode 9b. Thus, a liquid crystal substrate having a structure for electrically connecting an upper electrode and a lower

electrode with an insulating layer interposed therebetween as shown in FIG. 2(g) is completed.

[0061] The thickness of the source electrode 9a and the drain electrode 9b in the liquid crystal substrate according to Manufacturing Example 1 was measured, and it was 1500 Å and the specific resistance thereof was $4 \times 10^{-5} \Omega\text{cm}$. Thus, when the electrical connection between the ITO pixel electrode (lower electrode) 3 and the drain electrode 9b was checked using a prober in the liquid crystal in Manufacturing Example 1 having the above structure, conduction of the conductive members 9A in all of the contact holes 8 was confirmed.

10 [0062] (Manufacturing Example 2) Further, a liquid crystal substrate of Manufacturing Example 2 is explained. First, a Cr film with a thickness of approximately 1000 Å is formed by a sputtering method or the like over the substrate 1 made of an insulator such as low-melting glass to form the gate electrode 2 as shown in FIG. 2(a).

15 [0063] Next, the ITO film 3a is formed thereover with a thickness of approximately 1000 Å to 2000 Å as shown in FIG. 2(b), and this ITO film 3a is etched into the shape shown in FIG. 2(c) using an etchant of a hydrochloric acid/nitric acid mixture to form the pixel electrode 3.

[0064] Then, the gate insulating film 4 with a thickness of approximately 3000 Å is formed thereover as shown in FIG. 2(d). This gate insulating film 4 is formed with Si_3N_4 (silicon nitride) by a plasma enhanced CVD method (hereinafter abbreviated to a PECVD method).

[0065] Next, the semiconductor layer 7 including the a-Si film 5a serving as the active layer 5 and the n^+ a-Si film 6a serving as the n^+ layer 6 of a TFT in FIG. 2(f) is formed over the gate insulating film 4. As shown in FIG. 2(e), the active layer 5 is an a-Si:H

film formed by a PECVD method with a thickness of approximately 1000 Å to 2000 Å, and the n⁺ layer 6 is an n⁺ a-Si:H film doped with P (phosphorus) which is formed by a PECVD method with a thickness of approximately 100 Å to 500 Å.

[0066] Then, after this, the semiconductor layer 7 is patterned as shown in FIG. 2(f) to form the source electrode 9a and the drain electrode 9b, and the contact hole 8 of 5 μmφ is formed in the gate insulating film 4 over the pixel electrode 3. Then, after the inside of this contact hole 8 is spin-coated for 30 seconds at 4000 rpm with an application solution in which 1 part by weight of In(acac)₃(triacetylacetonate indium), 0.02 parts by weight of SnCl₄·5H₂O (stannic chloride pentahydrate), 1 part by weight of (CH₃CO)₂CH₂(acetylacetone), and 100 parts by weight of diethylene glycol monoethyl ether are sufficiently mixed, the application solution is dried at 80 °C for one hour and is further baked at 500 °C for 5 hours in an oxygen atmosphere. Accordingly, the conductive member 9A inside the contact hole 8 is formed, and an ITO film with a thickness of approximately 700 Å is formed over this conductive member 9A and the gate insulating film 4 by sputtering or the like and is then patterned, thereby forming the source electrode 9a and the drain electrode 9b. Thus, a liquid crystal substrate having a structure for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween as shown in FIG. 2(g) is completed.

[0067] The thickness of the source electrode 9a and the drain electrode 9b in the liquid crystal substrate according to Manufacturing Example 2 was measured, and it was 3000 Å and the specific resistance thereof was $5 \times 10^{-6} \Omega\text{cm}$. Thus, when the electrical connection between the ITO pixel electrode (lower electrode) 3 and the drain electrode 9b was checked using a prober in the liquid crystal substrate in Manufacturing Example 1 having the above structure, conduction of the conductive members in all of the contact holes 8 was confirmed.

[0068] Note that although the above manufacturing examples give only examples of Embodiment 2, a similar effect to those of Manufacturing Examples 1 and 2 can be obtained in the structure for electrically connecting an upper electrode and a lower electrode, by applying the structure for electrically connecting an upper electrode and a lower electrode using a chloride application solution or a nitrate application solution in the above described manufacturing example also to Embodiments 2, 3, and 4.

[0069] Thus, in order to make a comparison with the electrical connection effect of the conductive member in the contact hole of the liquid crystal substrate of the above-described manufacturing examples, a number of liquid crystal substrates in which only a material of the conductive member in the contact hole 8 was replaced by Al were manufactured through a similar process to that of Manufacturing Example 1, and tests for checking electrical connection thereof were carried out as described below.

(Comparative Example 1) First, similar to the manufacturing process for the liquid crystal substrate in Manufacturing Example 1, the Cr film with a thickness of approximately 1000 Å is formed over the substrate 1 made of an insulator such as low-melting glass by a sputtering method or the like as shown in FIG. 2(a) to form the gate electrode 2.

[0070] Next, the ITO film 3a is formed thereover with a thickness of approximately 1000 Å to 2000 Å as shown in FIG. 2(b), and this ITO film 3a is etched into the shape shown in FIG. 2(c) using an etchant of a hydrochloric acid/nitric acid mixture to form the pixel electrode 3.

[0071] Then, the gate insulating film 4 with a thickness of approximately 3000 Å is formed thereover as shown in FIG. 2(d). This gate insulating film 4 is formed with Si₃N₄ (silicon nitride) by a plasma enhanced CVD method (hereinafter abbreviated to a PECVD method).

[0072] Next, the semiconductor layer 7 including the a-Si film 5a serving as the active layer 5 and the n⁺ a-Si film 6a serving as the n⁺ layer 6 of a TFT as shown in FIG. 2(e) is formed over the gate insulating film 4. The active layer 5 is an a-Si:H film formed by a PECVD method with a thickness of approximately 1000 Å to 2000 Å, and the n⁺ layer 6 is n⁺ a-Si:H 6a doped with P (phosphorus) which is formed by a PECVD method with a thickness of approximately 100 Å to 500 Å.

[0073] Then, after this, the semiconductor layer 7 is patterned as shown in FIG. 2(f), and the contact hole 8 of 5 μmφ is formed in the gate insulating film 4 over the pixel electrode 3. Then, an Al film with a thickness of approximately 1000 Å is formed inside the contact hole 8, and the Al film other than inside the contact hole is removed by etching or the like into such a shape as shown in FIG. 2(h), thereby forming the conductive member 8A inside the contact hole 8. Then, an ITO film with a thickness of approximately 700 Å is formed thereover by sputtering or the like and this is patterned, thereby forming the source electrode 9a and the drain electrode 9b. Thus, a liquid crystal substrate having a structure for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween as shown in FIG. 2(g) is completed.

[0074] Note that the thickness of the source electrode 9a and the drain electrode 9b in the liquid crystal substrate formed as described above was approximately 1500 Å similarly to Manufacturing Example 1 and the specific resistance thereof was 4×10^{-5} Ωcm. Thus, when the conduction of the conductive members in the contact holes 8 of a number of liquid crystal substrates manufactured by a method as described above was checked using a prober, a defect due to loose connection between the conductive member 8A made of Al in the contact hole 8 and the ITO pixel electrode 3 was approximately 3 %, and a defect due to loose connection between the conductive

member 8A and the ITO film was approximately 1 %.

[0075] Therefore, in comparison with the results of the tests for checking electrical connection in Manufacturing Examples 1 and 2 according to the method of the present invention, the method and the structure for electrically connecting an upper electrode
5 and a lower electrode with an insulating layer interposed therebetween according to the present invention obviously and surely show an increase in yield.

[0076]

(Comparative Example 2) Furthermore, in order to compare characteristics of transparent conductive films formed by application means such as an immersion method,
10 a spin coating method, or a printing method that is formation means of the conductive member 8A inside the contact hole 8 and by other film formation methods, characteristics of transparent conductive films formed by a dipping method as a representative of the method of the present invention and by other film formation methods are compared and the results are arranged in Table 1.

15 [0077]

[Table 1]

Material	Process	Thickness μm	Carrier concentration (cm^{-3})	Mobility (cm^2/VS)	Specific resistance (Ωcm)	Transmittance $(\%)$
ITO	Vacuum evaporation	0.25	3.8×10^{20}	43	3.7×10^{-4}	80-90
	Rf sputtering	0.70	6.0×10^{20}	35	3.0×10^{-4}	90
	Pyrosol	0.10	8.0×10^{20}	37	2.2×10^{-4}	88
	Dipping	0.10	6.0×10^{20}	70	2.0×10^{-4}	95
NESA	CVD	0.36	1.2×10^{20}	23	2.0×10^{-3}	90

	Dipping	0.48	–	–	2.5×10^{-3}	90
--	---------	------	---	---	----------------------	----

[0078] As can be seen in Table 1, either an ITO film or a NESA film ($\text{SnO}_2\text{-Sb}_2\text{O}_3$ film) can be formed so as to have small specific resistance and sufficient transmittance by the dipping method mentioned as the application means, as compared to other film formation methods.

[0079] Therefore, an ITO film by a sputtering method, which is currently generally used, with a thickness of 2100 Å has a sheet resistance of approximately $10 \Omega/\text{cm}^2$. This value is the same as that of an ITO film formed by the method of the present invention, for example, a sol-gel method. Thus, as for an electrical connection mechanism in the contact hole 8 of the above-described liquid crystal substrate according to the above-described method of the present invention, it is found that there is no problem if the dimension of the contact hole is approximately several micrometers.

[0080] Therefore, according to the method of the present invention, a conductive material filling the contact hole 8 becomes conductive after baking. By using, for example, a material including excellent spherical particles with good sphericalness, high density, and smooth surface, which is produced by a sol-gel method or the like, the contact hole can be densely and surely filled with this conductive material. In addition, by forming a film of these conductive materials using application means such as an immersion method, a spray method, a spin coating method, or a printing method as described above, contact and electrical connection functions of contact between an upper electrode and a lower electrode can be surely achieved, and yield can be increased.

[0081] Further, according to the method of the present invention, after a contact hole is

formed in the insulating layer, the conductive material in the contact hole and the upper electrode can be formed integrally. The upper electrode and the mechanism for electrically connecting the upper electrode and the lower electrode can be formed in one step, so that production efficiency can be increased.

5 [0082]

[Effect of the Invention] Therefore, the method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween according to the present invention is to integrally form a conductive member in a contact hole and an upper electrode by forming a contact hole in an insulating layer
10 coating an upper surface of a lower electrode, providing a material to be conductive after baking in the contact hole and on an upper surface of the insulating layer, and baking these.

[0083] Thus, according to the method of the present invention, the conductive member in the contact hole and the upper electrode are integrally formed; therefore, the upper
15 electrode can be in favorable contact with the lower electrode which is electrically connected thereto through the contact hole. Further, the conductive member in the contact hole and the upper electrode are integrally formed; therefore, the manufacturing process can be simplified and defective electrical connection due to space or the like at the boundary between the conductive member and the upper electrode can be prevented.

20 [0084] In addition, according to the method of the present invention, the conductive member provided in the contact hole is formed by application means such as an immersion method, a spin coating method, a spray method, or a printing method; therefore, the conductive member can be formed densely without space and the conductive member inside the contact hole can favorably and surely make the upper
25 electrode and the lower electrode in contact with each other.

[0085] Further, when a contact hole formed in an insulating layer is filled by application means as described above with a material to be conductive after baking, a conductive member is formed by baking this, and an upper electrode is formed by stacking a conductive material over the conductive member and the insulating layer, without integrally forming the upper electrode and the conductive material in the contact hole, the conductive member filling the contact hole can also be formed densely and surely and can favorably and surely make the upper electrode and the lower electrode in contact with each other.

[0086] Thus, the method and the structure for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween according to the present invention can improve yield and reduce production cost as compared to the conventional method.

[Brief Description of Drawing]

[FIG. 1] FIG. 1 is a diagram of a process for manufacturing a liquid crystal substrate for explaining a method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween in Embodiment 1 of the present invention. (a) is a cross-sectional view showing a step of forming a gate electrode. (b) is a cross-sectional view showing a step of forming a transparent conductive film. (c) is a cross-sectional view showing a step of forming a pixel electrode. (d) is a cross-sectional view showing a step of forming a gate insulating film. (e) is a cross-sectional view showing a step of forming an active film and an n^+ layer. (f) is a cross-sectional view showing a step of processing a semiconductor layer including an active film and n^+ layer and a step of forming a contact hole. (g) is a cross-sectional view showing a liquid crystal substrate having a structure for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween

in Embodiment 1 of the present invention.

[FIG. 2] FIG. 2 is a diagram of a process for manufacturing a liquid crystal substrate for explaining a method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween in Embodiment 2 of the present invention. (a) is a cross-sectional view showing a step of forming a gate electrode. (b) is a cross-sectional view showing a step of forming a transparent conductive film. (c) is a cross-sectional view showing a step of forming a pixel electrode. (d) is a cross-sectional view showing a step of forming a gate insulating film. (e) is a cross-sectional view showing a step of forming an active film and an n^+ layer. (f) is a cross-sectional view showing a step of processing a semiconductor layer including an active film and an n^+ layer and a step of forming a contact hole. (g) is a cross-sectional view showing a step of forming a conductive member to be conductive after baking. (h) is a cross-sectional view showing a step of patterning a conductive film formed in (g). (i) is a cross-sectional view showing a liquid crystal substrate having a structure for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween in Embodiment 2 of the present invention.

[FIG. 3] FIG. 3 is a diagram of a process for manufacturing a liquid crystal substrate for explaining a method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween in Embodiment 3 of the present invention. (a) is a cross-sectional view showing a step of forming a gate electrode. (b) is a cross-sectional view showing a step of forming a gate insulating layer. (c) is a cross-sectional view showing a step of forming an active film and an n^+ layer. (d) is a cross-sectional view showing a step of processing a semiconductor layer including an active film and an n^+ layer. (e) is a cross-sectional view showing a step of forming a source electrode and a drain electrode. (f) is a cross-sectional view showing a step of

forming an upper insulating layer. (g) is a cross-sectional view showing a step of forming a contact hole. (h) is a cross-sectional view showing a step of forming a conductive film to be conductive after baking. (i) is a cross-sectional view showing a liquid crystal substrate having a structure for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween in Embodiment 3 of the present invention.

[FIG. 4] FIG. 4 is a diagram of a process for manufacturing a liquid crystal substrate for explaining a method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween in Embodiment 4 of the present invention. (a) is a cross-sectional view showing a step of forming a gate electrode. (b) is a cross-sectional view showing a step of forming a gate insulating layer. (c) is a cross-sectional view showing a step of forming an active film and an n^+ layer. (d) is a cross-sectional view showing a step of processing a semiconductor layer including an active film and an n^+ layer. (e) is a cross-sectional view showing a step of forming a source electrode and a drain electrode. (f) is a cross-sectional view showing a step of forming an upper insulating layer. (g) is a cross-sectional view showing a step of forming a contact hole. (h) is a cross-sectional view showing a step of forming a conductive member to be conductive after baking. (i) is a cross-sectional view showing a step of patterning a conductive film formed in (h). (j) is a cross-sectional view showing a liquid crystal substrate having a structure for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween in Embodiment 4 of the present invention.

[FIG. 5] FIG. 5 is a diagram of a process for manufacturing a liquid crystal substrate for explaining a conventional method for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween. (a) is a

cross-sectional view showing a step of forming a gate electrode. (b) is a cross-sectional view showing a step of forming a transparent conductive film. (c) is a cross-sectional view showing a step of forming a pixel electrode. (d) is a cross-sectional view showing a step of forming a gate insulating film. (e) is a cross-sectional view showing a step of forming an active film and an n^+ layer. (f) is a cross-sectional view showing a step of processing a semiconductor layer including an active film and an n^+ layer and a step of forming a contact hole. (g) is a cross-sectional view showing a step of forming a film of a conductive member such as Al. (h) is a cross-sectional view showing a step of processing the film of the conductive member formed in (g). (i) is a cross-sectional view showing a liquid crystal substrate having a conventional structure for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween.

[FIG. 6] FIG. 6 is a cross-sectional view showing a liquid crystal substrate having a conventional structure for electrically connecting an upper electrode and a lower electrode with an insulating layer interposed therebetween.

[FIG. 7] FIG. 7 is an enlarged view of a substantial part of FIG. 6.

[FIG. 8] FIG. 8 is a diagram for explaining an aspect ratio in accordance with the shape of a contact hole.

[Explanation of Reference]

20	1	Substrate
	2	Gate Electrode
	3	Pixel Electrode
	4	Gate Insulating Layer
	5	Active Film
25	5a	a-Si Film

- 6 n^+ Layer
- 6a n^+ a-Si Film
- 7 Semiconductor Layer
- 8 Contact Hole
- 5 8A Conductive Member
- 8B Conductive Member
- 8C Conductive Member
- 9a Source Electrode
- 9b Drain Electrode
- 10 10 Upper Insulating Layer
- 11 Pixel Electrode
- 11a Conductive Member
- 13 Pixel Electrode

15 Continued from the front page

(51) Int.Cl. ⁵	Identification	JPO file number	FI
	Symbol		

H01L	27/12	C
	29/784	

Technique display part

(72) Inventor: Kazunori MATSUEDA

c/o ALPS ELECTRIC Co., Ltd.

20 1-7, Yukigaya Otsuka-machi, Ota-ku, Tokyo

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-335424

(43) 公開日 平成5年(1993)12月17日

(51) Int. Cl. ⁵	識別記号	F I
H01L 21/90	C 7735-4M	
G02F 1/136	500 9018-2K	
H01L 21/3205		
	7735-4M	H01L 21/88
	9056-4M	29/78
		311
		B
		A
審査請求 未請求 請求項の数 6 (全13頁) 最終頁に続く		

(21) 出願番号	特願平4-137243	(71) 出願人	000010098 アルプス電気株式会社 東京都大田区雪谷大塚町1番7号
(22) 出願日	平成4年(1992)5月28日	(72) 発明者	石橋 節雄 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内
		(72) 発明者	尾藤 三津雄 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内
		(72) 発明者	瀧田 一成 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内
		(74) 代理人	弁理士 志賀 正武 (外2名) 最終頁に続く

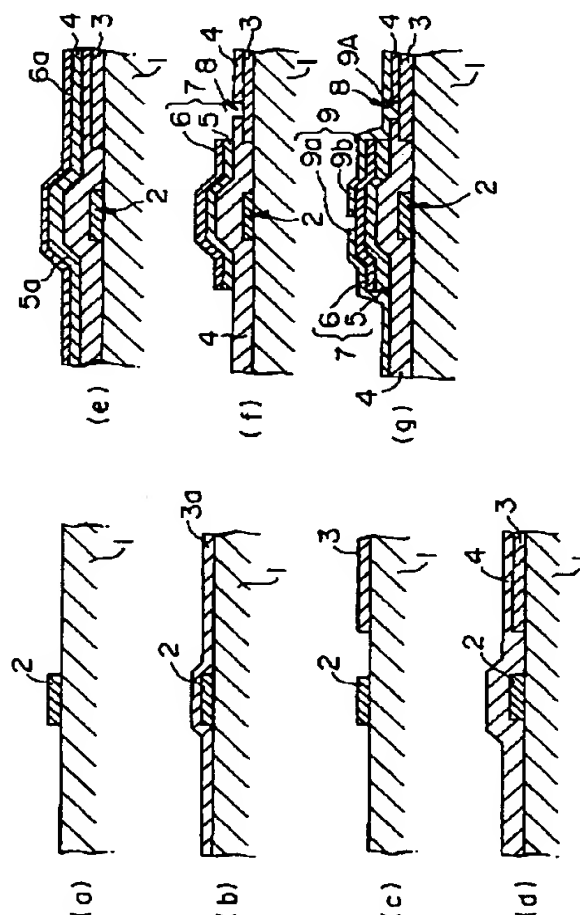
(54) 【発明の名称】 絶縁層を介した上部電極と下部電極の導通方法及びその構造

(57) 【要約】

【目的】 上部電極が絶縁層からなるコンタクトホールを介して導通している下部電極との効率的な導通方法及びその構造の提供。

【構成】 下部電極上に、絶縁層を被覆し、この絶縁層にコンタクトホールを形成し、前記コンタクトホール内部及び前記絶縁層上面に、焼成後に導電性を有する材料を設け、これを焼成することにより、コンタクトホール内の導通材及び上部電極を一体形成することを特徴とする。

【効果】 上部電極と下部電極とのコンタクトを効率的に行なうことができ、かつ、製造工程の簡略化を図ることが可能である。



【特許請求の範囲】

【請求項 1】 下部電極上に、絶縁層を被覆し、この絶縁層にコンタクトホールを形成し、前記コンタクトホール内部及び前記絶縁層上面に、焼成後に導電性を有する材料を設け、これを焼成することにより、コンタクトホール内の導通材及び上部電極を一体形成することを特徴とする絶縁層を介した上部電極と下部電極の導通方法。

【請求項 2】 請求項 1 に記載のコンタクトホール内部及び絶縁層上面に設ける、焼成後に導電性を有する材料を、浸漬法、スピンコート法、スプレー法等の塗布手段によって形成することを特徴とする絶縁層を介した上部電極と下部電極の導通方法。

【請求項 3】 下部電極上に、絶縁層を被覆し、この絶縁層にコンタクトホールを形成した後、前記コンタクトホール内部に、焼成後に導電性を有する材料を充填し、これを焼成し導通材を形成した後、この導通材の上部及び前記絶縁層上面に導電性材料を積層することにより上部電極を形成することを特徴とする絶縁層を介した上部電極と下部電極の導通方法。

【請求項 4】 請求項 3 に記載のコンタクトホール内部に設ける、焼成後に導電性を有する材料を、浸漬法、スピンコート法、スプレー法等の塗布手段によって形成することを特徴とする絶縁層を介した上部電極と下部電極の導通方法。

【請求項 5】 下部電極上に積層されたコンタクトホールを有する絶縁層の前記コンタクトホール内部及び、前記絶縁層上面に、焼成により導電性が付与される導通材及び上部電極が設けられてなることを特徴とする絶縁層を介した上部電極と下部電極の導通構造。

【請求項 6】 下部電極上に積層されたコンタクトホールを有する絶縁層の前記コンタクトホール内部に、焼成により導電性が付与される導通材が充填され、この導通材の上部及び前記絶縁層上面に導電性材料が積層されてなることを特徴とする絶縁層を介した上部電極と下部電極の導通構造。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は、半導体の製造プロセス等における、絶縁層を介した上部電極と下部電極の導通方法及びその構造に関する。

【 0 0 0 2 】

【従来の技術】図 6 は、薄膜トランジスタ（以下 T F T と略称する。）を備えアクティブマトリックス液晶基板の一構成例を示す略断面図である。この液晶基板は、基板 1 上にゲート電極 2 及び画素電極 3 が設けられ、更に、これを覆うゲート絶縁膜 4 と、この上面に設けられた a - S i 膜 5 a からなる能動層 5 及び n' 層 6 とからなる半導体層 7 が形成されている。また、この半導体層 7 上には、抵抗の小さい金属材料でゲート電極 9 a 及びドレイン電極 9 b が設けられている。

【 0 0 0 3 】更に、前記ゲート絶縁膜 4 には、コンタクトホール 8 が設けられており、そして、このコンタクトホール 8 には導通材 8 B が充填されて、前記ドレイン電極 9 b と、前記画素電極 3 が接続された構成になっている。

【 0 0 0 4 】そして、上記構成からなる液晶基板を製造するには、例えば、最初に図 5 (a) に示すように、低融点ガラス等の絶縁体からなる基板 1 上に、P (リン) や B (ホウ素) をドーピングした多結晶シリコンあるいは C r、M o、T i 等の低抵抗金属からなるゲート電極 2 を形成する。

【 0 0 0 5 】次に、この上に図 5 (b) に示すように、インジウム、スズ酸化物からなる透明導電膜（以下、I T O 膜と略称する）3 a を形成する。この後、この I T O 膜 3 a をフォトリソグラフィ技術を用いて、図 5 (c) に示す形状に成形して画素電極 3 （下部電極）を形成する。この際、エッチャントには、通常塩酸硝酸混合系のものが用いられる。

【 0 0 0 6 】そして、この上に、図 5 (d) に示すようにゲート絶縁膜 4 を形成する。このゲート絶縁膜 4 は、ゲート電極 2 上に S i O₂（酸化珪素）、S i₃N₄（窒化珪素）等を被膜することにより形成する。

【 0 0 0 7 】次に、このゲート絶縁膜 4 の上には、T F T の能動層 5 になる a - S i 膜 5 a と、n' 層 6 になる n' a - S i 膜 6 a とを形成する。そして、この表面にレジストを塗布し、これを感光・現像した後、前記 a - S i 膜 5 a と n' a - S i 膜 6 a をエッチング処理して、図 5 (f) に示すように、能動層 5 と n' 層 6 からなる半導体層 7 を形成する。

【 0 0 0 8 】この後、前記画素電極 3 上部のゲート絶縁膜 4 に、図 5 (f) に示すような、2 0 μm 角程度の大きさで、深さ、約数千 Å 程度のコンタクトホール 8 を形成する。そして、このコンタクトホール 8 の内部に A l 等からなる導通材 8 B を充填するために、図 5 (g) に示すように、スパッタ等で導通材 8 B を成膜した後、エッチング処理により不要部分を除去して図 5 (h) に示すような形状とする。

【 0 0 0 9 】次に、図 5 (i) に示すようにこれらの上に、A l（アルミニウム）や C r（クロム）のような抵抗値の小さい金属材料からなる導電体膜 9 を被膜する。そして、この導電体膜 9 をフォトリソグラフィ技術を用いて、パターニングしてソース電極 9 a、ドレイン電極 9 b（上部電極）を形成する。よって、このドレイン電極 9 b は、前記コンタクトホール 8 内部に充填されたコンタクト材料 8 B を介して、前記画素電極 3 に接続された構造となっている。

【 0 0 1 0 】

【発明が解決しようとする課題】従って、上述したように、前記従来の液晶基板の製造方法においては、ドレイン電極 9 b と画素電極 3 とがコンタクトをとる手段とし

て、画素電極 3 上のゲート絶縁膜 4 にコンタクトホール 8 を形成し、このコンタクトホール 8 内部に A 1 等からなる導通材 8 B を充填すべく、前記導通材 8 B をスパッタ法等により成膜後、この導通材 8 B をエッチング処理により不要部分を除去して、パターニングを行なった後、この上にソース電極 9 a 及びドレイン電極 9 b を形成したものである。

【0011】しかしながら、前記コンタクトホール 8 内部に A 1 等からなる導通材 8 B をスパッタ法によって、緻密に確実に充填させるためには、コンタクトホール 8 の深さ及び幅等の形状に、次に示すような限界がある。例えば、図 8 に示すように、コンタクトホールの深さを a、幅を b とした時に、このアスペクト比 (a/b) が、 $a/b > 1$ であると、スパッタ法によってこのコンタクトホール 8 内に導通材 8 B を緻密に空隙なく充填させるのは難しく、かつ時間がかかる。

【0012】よって、前記従来の液晶基板の絶縁層中に設けられたコンタクトホール内部に充填された導通材 8 B には、空隙が生じ易いために、ドレイン電極 9 b と画素電極 3 とのコンタクト機能に欠陥を生じる恐れがあった。特に、前記コンタクトホール 8 の深さが、深い場合には、上記のようにコンタクトホール 8 内に、導通材 8 B を、スパッタ法等において緻密に、確実に充填させることが困難であって、ドレイン電極 9 b と画素電極 3 とのコンタクト不良が、生じ易いといった問題を有していた。

【0013】そしてさらに、上述したように、ドレイン電極 9 b (上部電極) と画素電極 3 (下部電極) とのコンタクト手段を形成するための前記従来の製造工程は、ゲート絶縁層 4 の画素電極 3 上にコンタクトホール 8 を形成し、その後この上に導通材 8 B を成膜し、これを図 5 (g) と図 5 (h) に示すように、パターニングする工程を必要とするなど、複雑な製造工程を必要とするために、生産効率が良好でなく、その歩留まりの悪さが問題とされていた。

【0014】よって、本願発明は上記課題を鑑みてなされたもので、上部電極が絶縁層からなるコンタクトホールを介して導通している下部電極と良好なコンタクトをとることができ、かつ、その製造工程の簡略化を図ることを可能にした導通方法及びその構造を提供することを目的とするものである。

【0015】

【課題を解決するための手段】請求項 1 に記載の絶縁層を介した上部電極と下部電極の導通方法は、上記課題を解決するために、下部電極上に、絶縁層を被覆し、この絶縁層にコンタクトホールを形成し、前記コンタクトホール内部及び前記絶縁層上面に、焼成後に導電性を有する材料を設け、これを焼成することにより、コンタクトホール内の導通材及び上部電極を一体形成することを特徴とするものである。

【0016】請求項 2 に記載の絶縁層を介した上部電極と下部電極の導通方法は、上記課題を解決するために、請求項 1 に記載のコンタクトホール内部及び絶縁層上面に設ける、焼成後に導電性を有する材料を、浸漬法、スピンコート法、スプレー法等の塗布手段によって形成することを特徴とするものである。

【0017】請求項 3 に記載の絶縁層を介した上部電極と下部電極の導通方法は、上記課題を解決するために、下部電極上に、絶縁層を被覆し、この絶縁層にコンタクトホールを形成した後、前記コンタクトホール内部に、焼成後に導電性を有する材料を充填し、これを焼成し導通材を形成した後、この導通材の上部及び前記絶縁層上面に導電性材料を積層することにより上部電極を形成することを特徴とするものである。

【0018】請求項 4 に記載の絶縁層を介した上部電極と下部電極の導通方法は、上記課題を解決するために、請求項 3 に記載のコンタクトホール内部に設ける、焼成後に導電性を有する材料を、浸漬法、スピンコート法、スプレー法等の塗布手段によって形成することを特徴とするものである。

【0019】請求項 5 に記載の絶縁層を介した上部電極と下部電極の導通機構は、上記課題を解決するために、下部電極上に積層されたコンタクトホールを有する絶縁層の前記コンタクトホール内部及び、前記絶縁層上面に、焼成により導電性が付与される導通材及び上部電極が設けられてなることを特徴とするものである。

【0020】請求項 6 に記載の絶縁層を介した上部電極と下部電極の導通機構は、上記課題を解決するために、下部電極上に積層されたコンタクトホールを有する絶縁層の前記コンタクトホール内部に、焼成により導電性が付与される導通材が充填され、この導通材の上部及び前記絶縁層上面に導電性材料が積層されてなることを特徴とするものである。

【0021】

【作用】本発明の絶縁層を介した上部電極と下部電極の導通方法は、下部電極上面に被覆した絶縁層にコンタクトホールを形成した後、コンタクトホール内と前記絶縁層の上面に、焼成後に導電性を有する材料を設け、これらを焼成することによりコンタクトホール内の導通材及び上部電極を一体形成するものである。

【0022】よって、本発明方法では、前記コンタクトホール内の導通材と上部電極が一体形成されていることにより、前記上部電極は、前記コンタクトホールを介して導通している下部電極と良好なコンタクトをとることができる。そしてさらに、前記コンタクトホール内の導通材と前記上部電極は一体形成されることにより、製造工程の簡略化を図るとともに、前記導通材と上部電極との境における空隙等による、導通不良を回避することができる。

【0023】また、本発明方法では、前記コンタクトホ

ール内に設けられた導通材を浸漬法やスピコート法、スプレー法、印刷法などの塗布手段により形成することにより、緻密に、空隙なく形成することができ、前記コンタクトホール内部の導通材は、上部電極と下部電極とのコンタクトを良好に、そして確実にこなうことができる。

【0024】さらに、上部電極とコンタクトホール内部の導通材を一体形成せず、絶縁層形成されたコンタクトホール内に、焼成後に導電性を有する材料を、上述したような塗布手段により充填した後、これを焼成することで導通材を形成し、この後前記導通材上部及び絶縁層上に導電性材料を積層することにより上部電極を形成しても、前記コンタクトホール内に充填された導通材は、緻密に、かつ確実に形成され、前記上部電極と下部電極とのコンタクトは良好、かつ確実にこなうことができる。

【0025】

【実施例】以下に、本発明の絶縁層を介する上部電極と下部電極の導通方法及び導通構造の実施例について、図面を参照しつつ説明する。

（実施例1）図1（g）は、本発明を実施した液晶基板の一実施例を示す略断面図である。この液晶基板は、基板1上に形成されたゲート電極2及び画素電極3と、これを覆うコンタクトホール8を有するゲート絶縁膜4と、この上面に設けられたa-Si膜からなる能動層5及びn⁺層6とからなる半導体層7と、前記コンタクトホール8の内部及び、前記ゲート絶縁膜4上面に一体形成された導通材9A及び上部電極9から構成される。なお、前記上部電極9は、パターニングされてソース電極9aとドレイン電極9bとから構成されている。

【0026】よって、上記構成からなる液晶基板を製造するには、最初に図1（a）に示すように、低融点ガラス等の絶縁体からなる基板1上に、P（リン）やB（ホウ素）をドーピングした多結晶シリコンあるいはCr、Mo、Ti等の低抵抗金属からなる厚さ1000Å程度のゲート電極2をスパッタ法等により成膜する。

【0027】次に、この上に図1（b）に示すように、インジウム、スズ酸化物からなる透明導電膜（以下、ITO膜と略称する）3aを1000Å～2000Å程度の厚さに形成する。この後、ITO膜3aをフォトリソグラフィ技術を用いて図1（c）に示す形状にパターニングして画素電極3（下部電極）を形成する。この際、エッチャントには、通常塩酸硝酸混合系のものが用いられる。

【0028】そして、この上に、図1（d）に示すように厚さ1500Å～2000Å程度のゲート絶縁膜4を成膜する。このゲート絶縁膜4は、前記ゲート電極2を酸化することにより、あるいはゲート電極4上にSiO₂（酸化珪素）、Si₃N₄（窒化珪素）等をプラズマエッチングCVD（化学気相析出）法（以下PECVD法と省略する）などによって形成される。

【0029】次に、このゲート絶縁膜4の上には、図1（e）に示すように、TFTの能動層5になるa-Si膜5aと、n⁺層6になるn⁺a-Si膜6aとからなる半導体層7を形成する。前記能動層5は、PECVD法などにより、a-Si膜を1000Å～2000Å程度の膜厚に形成したものであり、n⁺層6は、P（リン）をドーピングしたn⁺a-Si膜を、PECVD法等により、膜厚100Å～500Å程度に形成したものである。

【0030】この後、前記画素電極3上部のゲート絶縁膜4に、図1（f）に示すような、コンタクトホール8を形成する。そして、図1（g）に示すように、このコンタクトホール8内部及び、前記ゲート絶縁膜4上面に、焼成後に導電性を有する材料を、浸漬法又は、スピコート法又は、スプレー法又は、印刷法等による塗布手段により設け、これを焼成温度約500℃程度で焼成することにより導通材9A及び上部電極9を形成する。前記上部電極9は、パターニング処理された膜厚2000Å程度のソース電極9a及びドレイン電極9bから構成されている。従って、前記ドレイン電極9bは、このドレイン電極9bと一体化されコンタクトホール8内に充填された前記導通材9Aを介して、前記画素電極3に接続された構造となっている。

【0031】（実施例2）図2（i）は、本発明を実施した液晶基板の一構成例を示す略断面図である。この液晶基板は、基板1上に形成されたゲート電極2及び画素電極3（下部電極）と、これを覆い、そしてコンタクトホール8を有するゲート絶縁膜4と、この上面に設けられたa-Si膜5aからなる能動層5及び、n⁺層6とからなる半導体層7と、焼成後に導電性を有する導通材8Aが充填された前記コンタクトホール8と、これらの上に形成されたAlやCr等の低抵抗金属からなるソース電極9a及びドレイン電極9b（上部電極）により構成されている。

【0032】よって、上記構成からなる液晶基板を製造するには、最初に図2（a）に示すように、低融点ガラス等の絶縁体からなる基板1上に、P（リン）やB（ホウ素）をドーピングした多結晶シリコンあるいはCr、Mo、Ti等の低抵抗金属からなる膜厚1000Å程度のゲート電極2を形成する。

【0033】次に、この上に図2（b）に示すように、インジウム、スズ酸化物からなる膜厚1000Å～2000Å程度のITO膜3aを形成する。この後、このITO膜3aをフォトリソグラフィ技術を用いて図2（c）に示す形状に成形して画素電極3（下部電極）を形成する。この際、エッチャントには、通常塩酸硝酸混合系のものが用いられる。

【0034】そして、この上に、図2（d）に示すように膜厚1500Å～2000Å程度のゲート絶縁膜4を形成する。このゲート絶縁膜4は、ゲート電極2を酸化

することにより、あるいはゲート電極 2 上に SiO_2 (酸化珪素)、 Si_3N_4 (窒化珪素) 等を PECVD 法などにより成膜することにより形成する。

【0035】次に、図 2 (e) に示すように、前記ゲート絶縁膜 4 の上には TFT の能動層 5 になる a-Si 膜 5 a と、 n^+ 層 6 になる $\text{n}^+ \text{a-Si}$ 膜 6 a からなる半導体層 7 を形成する。前記能動層 5 は、PECVD 法などにより、 a-Si:H 膜を $1000 \text{ \AA} \sim 2000 \text{ \AA}$ 程度の膜厚に形成されたものであり、 n^+ 層 6 は、P をドーピングした $\text{n}^+ \text{a-Si:H}$ を PECVD 法などによっ

て膜厚 $100 \text{ \AA} \sim 200 \text{ \AA}$ 程度に形成されたものである。

【0036】そして、前記半導体層 7 は、図 2 (f) に示すようにパターンニングするとともに、前記前記画素電極 3 上部のゲート絶縁膜 4 に、コンタクトホール 8 を形成する。続いて、図 2 (g) に示すように、このコンタクトホール 8 内部に、焼成後に導電性を有する材料を、浸漬法又は、スピンコート法又は、スプレー法又は、印刷法等により塗布形成し、これを焼成した後、図 2

(h) に示すように、パターンニング処理することによっ

て導通材 8 A を形成する。

【0037】さらに、その後、これらの上に、スパッタ法等によって、Al と Cr を順次積層した積層膜を、図 2 (i) に示すようにパターンニング処理することによりソース電極 9 a 及びドレイン電極 9 b を形成する。なお、前記 Al 層、Cr 層の各々の厚さは、 $\text{Al/Cr} = 2000/1000$ から $4000/1000 \text{ \AA}$ の範囲に設定されている。従って、前記ドレイン電極 9 b は、前記コンタクトホール内の導通材 8 A を介して、前記画素電極 3 に接続された構造となっている。

【0038】(実施例 3) 図 3 (i) は、本発明を実施した液晶基板の一構成例を示す略断面図である。この液晶基板は、基板 1 上に形成されたゲート電極 2 と、これを覆うゲート絶縁膜 4 と、この上面に設けられた a-Si 膜 5 a からなる能動層 5 及び、 n^+ 層 6 とからなる半導体層 7 と、この半導体層 7 上に設けられたソース電極 9 a 及びドレイン電極 9 b (下部電極) と、この上に設けられた絶縁材料からなる上部絶縁層 10 と、前記上部絶縁層 10 の前記ドレイン電極 9 b と導通するように形成されたコンタクトホール 8 内部の導通材 11 a とこの導通材 11 a と一体形成された上部電極 11 により構成されている。

【0039】よって、上記構成からなる液晶基板を製造するには、最初に図 3 (a) に示すように、低融点ガラス等の絶縁体からなる基板 1 上に、P (リン) や B (ホウ素) をドーピングした多結晶シリコンあるいは Cr、Mo、Ti 等の低抵抗金属からなる膜厚 1000 \AA 程度のゲート電極 2 を形成する。

【0040】次に、この上に、図 3 (b) に示すように膜厚 $1500 \text{ \AA} \sim 2000 \text{ \AA}$ 程度のゲート絶縁膜 4 を形

成する。このゲート絶縁膜 4 は、ゲート電極 2 を酸化することにより、あるいはゲート電極 2 上に SiO_2 (酸化珪素)、 Si_3N_4 (窒化珪素) 等を PECVD 法等により成膜する。

【0041】そして、このゲート絶縁層 3 の上には、図 3 (d) に示すように、TFT の能動層 5 になる a-Si 膜 5 a と n^+ 層 6 とからなる半導体層 7 を形成する。前記能動層 5 は、図 3 (c) に示すように、PECVD 法等によって a-Si:H 膜を $1000 \text{ \AA} \sim 2000 \text{ \AA}$ 程度の膜厚に成膜したものであり、前記 n^+ 層 6 は、P をドーピングした $\text{n}^+ \text{a-Si:H}$ 膜を PECVD 法等によって、膜厚 $100 \text{ \AA} \sim 500 \text{ \AA}$ 程度に成膜したものである。

【0042】さらに、前記半導体層 7 上には、図 3 (e) に示すようにソース電極 9 a 及びドレイン電極 9 b を形成する。前記ソース電極 9 a 及びドレイン電極 9 b は、スパッタ法等によって、Al と Cr を順次形成した積層膜をパターンニングしたものであって、Al 層、Cr 層の各々の厚さは、 $\text{Al/Cr} = 2000/1000$ から $4000/1000 \text{ \AA}$ 程度の範囲に設定されている。

【0043】そしてさらに、この上に、図 3 (f) に示すように、 SiO_2 (酸化珪素)、 Si_3N_4 (窒化珪素) 等を PECVD 法等により形成した上部絶縁層 10 を形成する。そして、前記上部絶縁層 10 には、図 3 (g) に示すように、前記ドレイン電極 9 b に導通するコンタクトホール 8 を形成する。その後、このコンタクトホール 8 内部及び前記上部絶縁層 10 上面に、焼成後導電性を有する材料 11 A を浸漬法又は、スピンコート法、又はスプレー法、又は印刷法等の塗布手段により形成した後、焼成することによりコンタクトホール内部の導通材料 11 a 及び上部電極 11 を一体形成する。なお、前記上部電極 11 は、図 3 (i) に示すような形状にパターンニング処理されて前記コンタクトホール内の導通材 11 a を介して前記ドレイン電極 9 b と導通している。

【0044】(実施例 4) 図 4 (k) は、本発明を実施した液晶基板の一構成例を示す略断面図である。この液晶基板は、基板 1 上に形成されたゲート電極 2 及び画素電極 11 (上部電極) と、これを覆うゲート絶縁膜 4 と、この上面に設けられた a-Si 膜 5 a からなる能動層 5 及び n^+ 層 6 とからなる半導体層 7 と、この半導体層 7 上に設けられたソース電極 9 a 及びドレイン電極 9 b (下部電極) と、この上に設けられた上部絶縁層 10 と、この上部絶縁層 10 に設けられたコンタクトホール 8 の内部に設けられた、焼成後に導電性を有する導通材 8 C と、この導通材 8 C 及び前記上部絶縁層 10 上面に設けられた Al や Cr 等の低抵抗金属による画素電極 13 (上部電極) より構成されている。

【0045】よって、上記構成からなる液晶基板を製造

するには、最初に図 4 (a) に示すように、低融点ガラス等の絶縁体からなる基板 1 上に、P (リン) や B (ホウ素) をドーピングした多結晶シリコンあるいは Cr、Mo、Ti 等の低抵抗金属からなる膜厚 1000 Å 程度のゲート電極 2 を形成する。

【0046】次に、この上に、図 4 (b) に示すように、厚さ 1500 Å ~ 2000 Å 程度のゲート絶縁膜 4 を形成する。このゲート絶縁膜 4 は、ゲート電極 2 を酸化することにより、あるいは PECVD 法等によりゲート電極 4 上に SiO₂ (酸化珪素)、Si₃N₄ (窒化珪素) 等を成膜したものである。

【0047】そして、このゲート絶縁膜 4 の上には、図 4 (d) に示すように、TFT の能動層 5 になる a-Si 膜 5a と n' 層 6 からなる半導体層 7 を形成する。前記能動層 5 は、図 4 (c) に示すように、PECVD 法等により a-Si 膜を膜厚 1000 Å ~ 2000 Å 程度に形成するものであり、前記 n' 層 6 は、P をドーピングした n' a-Si : H によって、膜厚 100 Å ~ 500 Å 程度に形成するものである。

【0048】さらに、前記半導体層 7 上に、図 4 (e) に示すように、ソース電極 9a 及びドレイン電極 9b を形成する。前記ソース電極 9a 及びドレイン電極 9b は、Al と Cr を順次積層した積層膜を、パターニング処理することによって形成したもので、Al 層、Cr 層の各々の膜厚は、Al / Cr = 2000 / 1000 から 4000 / 1000 Å の範囲に設定されている。

【0049】そしてまた、この上に PECVD 法等によって、SiO₂ (酸化珪素)、Si₃N₄ (窒化珪素) 等を成膜し、図 4 (f) に示すような上部絶縁層 10 を形成する。

【0050】そして、この上部絶縁層 10 に、図 4 (g) に示すような、前記ドレイン電極 9a に導通するコンタクトホール 8 を形成する。その後、図 4 (h) に示すように、前記コンタクトホール 8 内部に、焼成後に導電性を有する材料 8c を浸漬法又は、スピコート法、又はスプレー法、又は印刷法等による塗布手段により設け、これを焼成することにより導通材 8C を形成した後、これを図 4 (i) に示すような形状にパターニング処理する。

【0051】そしてさらに、これらの上面に図 4 (j) に示すように、ITO 膜 13a をスパッタ法などによって 1000 ~ 2000 Å 程度の膜厚に成膜し、パターニング処理を施して図 4 (k) に示すような形状の画素電極 13 を形成している。従って、前記画素電極 13 は、コンタクトホール 8 内部に充填された導通材 8C を介して、前記ドレイン電極 9b に接続された構造となっている。

【0052】以上説明したように、本実施例 1 及び 3 は、絶縁層を介した上部電極と下部電極の導通方法は、下部電極上面に被覆した絶縁層にコンタクトホールを形

成した後、コンタクトホール内と前記絶縁層の上面に、焼成後に導電性を有する材料を設け、これらを焼成することによりコンタクトホール内の導通材及び上部電極を一体形成するものである。

【0053】よって、上記実施例では、前記コンタクトホール内の導通材と上部電極が一体形成されていることにより、前記上部電極は、前記コンタクトホールを介して導通している下部電極と良好なコンタクトをとることができる。そしてさらに、前記コンタクトホール内の導通材と前記上部電極は一体形成されることにより、製造工程の簡略化を図るとともに、前記導通材と上部電極との境における空隙等による、導通不良を回避することができる。

【0054】また、本発明方法では、前記コンタクトホール内に設けられた導通材を浸漬法やスピコート法、スプレー法、印刷法などの塗布手段により形成することにより、緻密に、空隙なく形成することができ、前記コンタクトホール内部の導通材は、上部電極と下部電極とのコンタクトを良好に、そして確実にこなうことができる。

【0055】さらに、上部電極とコンタクトホール内部の導通材を一体形成せず、上述した実施例 2 及び 4 の導通構造のように、絶縁層形成されたコンタクトホール内に、焼成後に導電性を有する材料を、上述したような塗布手段により充填した後、これを焼成することで導通材を形成し、この後前記導通材上部及び絶縁層上に導電性材料を積層することにより上部電極を形成しても、前記コンタクトホール内に充填された導通材は、緻密に、かつ確実に形成され、前記上部電極と下部電極とのコンタクトは良好、かつ確実にこなうことができる。

【0056】そこで、本発明の絶縁層を介した上部電極と下部電極の導通方法を用いて製造した導通構造を有する液晶基板の製造例について、以下に説明する。なお、本製造例の構成は、上記実施例 2 と同様のものであるもので、前記実施例 2 で使用した図面と同様のものを参照しつつ、以下の製造例を説明することとする。

(製造例 1) まず、最初に図 2 (a) に示すように、低融点ガラス等の絶縁体からなる基板 1 上に、厚さ 1000 Å 程度 Cr 膜をスパッタ法等により成膜し、ゲート電極 2 を形成する。

【0057】次に、この上に図 2 (b) に示すように、ITO 膜 3a を 1000 Å ~ 2000 Å 程度の厚さに形成し、この ITO 膜 3a を図 2 (c) に示す形状に、塩酸硝酸混合系エッチャントを用いてエッチング処理して、画素電極 3 を形成する。

【0058】そして、この上に、図 2 (d) に示すように厚さ 3000 Å 程度のゲート絶縁膜 4 をする。このゲート絶縁膜 4 は、Si₃N₄ (窒化珪素) をプラズマエンハンスド CVD 法 (以下 PECVD 法と省略する) によって形成する。

【0059】次に、このゲート絶縁膜4の上には、図2 (e) に示すようなTFTの能動層5になるa-Si膜5aと、n'層6になるn' a-Si膜6aとからなる半導体層7を形成する。前記能動層5は、PECVD法によりa-Si:H膜を1000Å~2000Å程度の膜厚に形成したものであり、n'層6は、P(リン)をドーピングしたn' a-Si:H膜6aを、PECVD法により、膜厚100Å~500Å程度に形成したものである。

【0060】そしてこの後、前記半導体層7を図2 (f) に示すようにパターニングするとともに、前記画素電極3上部のゲート絶縁膜4に、5μmφのコンタクトホール8を形成する。そして、このコンタクトホール8内部に、In(acac), (トリアセチルアセナードインジウム) 1重量部、SnCl₄・5H₂O(塩化第二スズ・5水) 0.02重量部、(CH₃CO)₂CH₃(アセチルアセトン) 1重量部、エチルセルローズ100重量部を十分に混合した塗布溶液を、4000rpmで30秒スピコート後、80℃で1時間乾燥し、さらに酸素雰囲気中で、500℃、5時間焼成することにより、前記コンタクトホール8内部の導通材9Aを形成し、この導通材9A上部及び前記ゲート絶縁膜4上に、スパッタ等により膜厚700Å程度のITO膜を形成し、これをパターニングすることによりソース電極9a及びドレイン電極9bを形成し、図2 (g) に示すような絶縁層を介した上部電極と下部電極の導通構造を有する液晶基板を完成する。

【0061】前記製造例1の液晶基板における、ソース電極9a及びドレイン電極9bの膜厚を測定したところ、1500Åであって、その比抵抗は $4 \times 10^{-3} \Omega \text{cm}$ であった。そこで、上記構成からなる本製造例1の液晶において、前記ITO画素電極(下部電極)3と前記ドレイン電極9bとの導通をプローパにより確認したところ、全てのコンタクトホール8内の導通材9Aで導通が確認できた。

【0062】(製造例2)さらに、本製造例2の液晶基板について説明する。まず、最初に図2 (a) に示すように、低融点ガラス等の絶縁体からなる基板1上に、厚さ1000Å程度Cr膜をスパッタ法等により成膜し、ゲート電極2を形成する。

【0063】次に、この上に図2 (b) に示すように、ITO膜3aを1000Å~2000Å程度の厚さに形成し、このITO膜3aを図2 (c) に示す形状に、塩酸硝酸混合系エッチャントを用いてエッチング処理して、画素電極3を形成する。

【0064】そして、この上に、図2 (d) に示すように厚さ3000Å程度のゲート絶縁膜4をする。このゲート絶縁膜4は、Si₃N₄(窒化珪素)をプラズマエンハンスCVD法(以下PECVD法と省略する)によって形成する。

【0065】次に、このゲート絶縁膜4の上には、図2 (f) TFTの能動層5になるa-Si膜5aと、n'層6になるn' a-Si膜6aとからなる半導体層7を形成する。前記能動層5は、図2 (e) に示すようにPECVD法によって、a-Si:H膜を1000Å~2000Å程度の膜厚に形成したものであり、n'層6は、P(リン)をドーピングしたn' a-Si:H膜をPECVD法により、膜厚100Å~500Å程度に形成したものである。

【0066】そしてこの後、前記半導体層7を図2 (f) に示すようにパターニング処理し、ソース電極9a及びドレイン電極9bを形成するとともに、前記画素電極3上部のゲート絶縁膜4に、5μmφのコンタクトホール8を形成する。そして、このコンタクトホール8内部に、In(acac), (トリアセチルアセナードインジウム) 1重量部、SnCl₄・5H₂O(塩化第二スズ・5水) 0.02重量部、(CH₃CO)₂CH₃(アセチルアセトン) 1重量部、ジエチレングリコールモノエチルエーテル100重量部を十分に混合した塗布溶液を、4000rpmで30秒スピコート後、80℃で1時間乾燥し、さらに酸素雰囲気中で、500℃、5時間焼成することにより、前記コンタクトホール8内部の導通材9Aを形成し、この導通材9A上及び前記ゲート絶縁膜4上にスパッタ等により膜厚700Å程度のITO膜を形成し、これをパターニングすることによってソース電極9a及びドレイン電極9bを形成し、図2 (g) に示すような絶縁層を介した上部電極と下部電極の導通構造を有する液晶基板を完成する。

【0067】前記製造例2の液晶基板における、ソース電極9a及びドレイン電極9bの膜厚を測定したところ、3000Åであって、その比抵抗は $5 \times 10^{-4} \Omega \text{cm}$ であった。そこで、上記構成からなる本製造例1の液晶基板において、前記ITO画素電極(下部電極)3と、前記ドレイン電極9bとの導通をプローパにより確認したところ、全てのコンタクトホール8内部の導通材で導通が確認できた。

【0068】なお、上記製造例は、上記実施例2に限って、その例を示したものであるが、上述した製造例における塩化物塗布溶液や硝酸塩系塗布溶液を用いた、上部電極と下部電極の導通構造を、前記実施例2、3及び4にも適用することにより、上部電極と下部電極の導通構造において、前記製造例1及び2と同様な効果を得ることができる。

【0069】そこで、上述した製造例の液晶基板のコンタクトホール内の導電材の導通効果と比較すべく、前記製造例1と同様な工程で、コンタクトホール8内の導通材の素材のみA1に代えた液晶基板を多数製造し、その導通試験を以下に記すように行なった。

(比較例1) まず、上記製造例1の液晶基板の製造工程と同様に、図2 (a) に示すように、低融点ガラス等の

絶縁体からなる基板 1 上に、厚さ 1 0 0 0 Å 程度 Cr 膜をスパッタ法等により成膜し、ゲート電極 2 を形成する。

【0070】次に、この上に図 2 (b) に示すように、ITO 膜 3 a を 1 0 0 0 Å ~ 2 0 0 0 Å 程度の厚さに形成し、この ITO 膜 3 a を図 2 (c) に示す形状に塩酸硝酸混合系エッチャントを用いてエッチング処理し、画素電極 3 を形成する。

【0071】そして、この上に、図 2 (d) に示すように厚さ 3 0 0 0 Å 程度のゲート絶縁膜 4 をする。このゲート絶縁膜 4 は、Si₃N₄ (窒化珪素) をプラズマエンハンスト CVD 法 (以下 PECVD 法と省略する) によって形成する。

【0072】次に、このゲート絶縁膜 4 の上には、図 2 (e) に示すような TFT の能動層 5 になる a-Si 膜 5 a と、n' 層 6 になる n' a-Si 膜 6 a とからなる半導体層 7 を形成する。前記能動層 5 は、PECVD 法により a-Si:H 膜を 1 0 0 0 Å ~ 2 0 0 0 Å 程度の膜厚に形成したものであり、n' 層 6 は、P (リン) をドーピングした n' a-Si:H 6 a を、PECVD 法により、膜厚 1 0 0 Å ~ 5 0 0 Å 程度に形成したものである。

【0073】そしてこの後、前記半導体層 7 を図 2 (f) に示すようにパターンニングするとともに、前記画素電極 3 上部のゲート絶縁膜 4 に、5 μmφ のコンタクトホール 8 を形成する。そして、このコンタクトホール 8 内部に、厚さ 1 0 0 0 Å 程度の Al 膜を成膜し、図 2 (h) に示すような形状にコンタクトホール内部以外の Al 膜をエッチング等により除去することによりコンタクトホール 8 内部の導通材 8 A を形成し、そして、この

表 1

材料	プロセス	膜厚 μm	キャリア濃度 (cm ⁻³)	易動度 (cm ² /VS)	比抵抗 (Ωcm)	透過率 (%)
ITO	真空蒸着	0.25	3.8 × 10 ²⁰	43	3.7 × 10 ⁻⁴	80~90
	Rf スパッタ	0.70	6.0 × 10 ²⁰	35	3.0 × 10 ⁻⁴	90
	バイロゾル	0.10	8.0 × 10 ²⁰	37	2.2 × 10 ⁻⁴	88
	ディップ	0.10	6.0 × 10 ²⁰	70	2.0 × 10 ⁻⁴	95
NESA	CVD	0.36	1.2 × 10 ²⁰	23	2.0 × 10 ⁻³	90
	ディップ	0.48	-	-	2.5 × 10 ⁻³	90

【0078】表 1 から判ることは、前記塗布手段として挙げたディップ法は、他の成膜法と比較して、ITO 膜においても、NESA 膜 (SnO₂-Sb₂O₃ 膜) にお

上に膜厚 7 0 0 Å 程度の ITO 膜をスパッタ等により成膜し、これをパターンニングすることによりソース電極 9 a 及びドレイン電極 9 b を形成し、図 2 (g) に示すような絶縁層を介した上部電極と下部電極の導通構造を有する液晶基板を完成する。

【0074】なお、上記のように形成された液晶基板における、ソース電極 9 a 及びドレイン電極 9 b の膜厚は、上記製造例 1 と同様に 1 5 0 0 Å 程度であって、その比抵抗は 4 × 10⁻³ Ωcm であった。そこで、上記のような方法により製造された多数の液晶基板において、そのコンタクトホール 8 内の導通材の導通をプローバにより確認したところ、前記コンタクトホール 8 内の Al からなる導通材 8 A と ITO 画素電極 3 との接触不良による欠陥は約 3 %、そして前記導通材 8 A と ITO 膜と接触不良による欠陥が 1 % 程度であった。

【0075】従って、上記本発明方法による製造例 1 及び 2 の導通試験の結果と比較して、本発明による絶縁層を介した上部電極と下部電極の導通方法及び導通構造は、明らかに確実な歩留まりの向上を見ることができ

【0076】(比較例 2) そこでさらに、上記コンタクトホール 8 内部の導通材 8 A の形成手段である浸漬法やスピンコート法や、印刷法などの塗布手段と、他の成膜法により形成される透明導電膜の特性を比較するため、本発明方法においてはディップ法を代表として、他の成膜法により形成された透明導電膜の特性を比較し、その結果を表 1 にまとめた。

【0077】

【表 1】

いても比抵抗を小さく、そして充分な透過率を有する膜を形成できるということである。

【0079】従って、現在一般に使用されているスパッ

タ法によるITO膜は、そのシート抵抗値が、膜厚2100Åで、 $10\Omega/\text{cm}^2$ 程度で、この値は、本発明方法の、例えばゾルーゲル法によって成膜されたITO膜と同じであり、よって、上述した本発明方法による液晶基板のコンタクトホール8内の導通機構は、そのコンタクトホール寸法が数 μm 程度になっても問題は無いということが判る。

【0080】従って、本発明方法によれば、コンタクトホール8内に充填する導電性材料が、焼成後、導電性を有するものであり、例えば、ゾルーゲル法等によって生成された真球度が良く、高密度で表面の平滑な見事な球形粒子からなる材料を用いることによって、前記コンタクトホール内にこの導電性材料を緻密に、かつ確実に充填させることが可能である上に、前述したような浸漬法やスプレー法やスピコート法や印刷法などの塗布手段を用いて、これらの導電性材料を成膜することにより上部電極と下部電極のコンタクトの接触・導通機能を確実に達成することができ、歩留まりの向上を図ることができる。

【0081】さらに、本発明方法によれば、前記絶縁層にコンタクトホールを形成した後、前記コンタクトホール内の導電性材料と上部電極を一体形成することが可能であって、一工程で、上部電極及び上部電極と下部電極の導通機構を形成することが可能であり、生産効率の向上を図ることができる。

【0082】

【発明の効果】従って、本発明の絶縁層を介した上部電極と下部電極の導通方法は、下部電極上面に被覆した絶縁層にコンタクトホールを形成した後、コンタクトホール内と前記絶縁層の上面に、焼成後に導電性を有する材料を設け、これらを焼成することによりコンタクトホール内の導通材及び上部電極を一体形成するものである。

【0083】よって、本発明方法では、前記コンタクトホール内の導通材と上部電極が一体形成されていることにより、前記上部電極は、前記コンタクトホールを介して導通している下部電極と良好なコンタクトをとることができる。そしてさらに、前記コンタクトホール内の導通材と前記上部電極は一体形成されることにより、製造工程の簡略化を図るとともに、前記導通材と上部電極との境における空隙等による、導通不良を回避することができる。

【0084】また、本発明方法では、前記コンタクトホール内に設けられた導通材を浸漬法やスピコート法、スプレー法、印刷法などの塗布手段により形成することにより、緻密に、空隙なく形成することができ、前記コンタクトホール内部の導通材は、上部電極と下部電極とのコンタクトを良好に、そして確実にこなうことができる。

【0085】さらに、上部電極とコンタクトホール内部の導通材を一体形成せず、絶縁層形成されたコンタクト

ホール内に、焼成後に導電性を有する材料を、上述したような塗布手段により充填した後、これを焼成することで導通材を形成し、この後前記導通材上部及び絶縁層上に導電性材料を積層することにより上部電極を形成しても、前記コンタクトホール内に充填された導通材は、緻密に、かつ確実に形成され、前記上部電極と下部電極とのコンタクトは良好、かつ確実にこなうことができる。

【0086】よって、本発明における絶縁層を介した上部電極と下部電極との導通方法及び導通構造は、前記従来の方法に比較して、歩留まりの向上、生産コストの低減を図ることができる。

【図面の簡単な説明】

【図1】図1は、本発明の実施例1における絶縁層を介した上部電極と下部電極の導通方法を説明するための液晶基板の製造工程図である。(a)は、ゲート電極形成工程を示す断面図である。(b)は、透明導電膜成膜工程を示す断面図である。(c)は、画素電極形成工程を示す断面図である。(d)は、ゲート絶縁膜成膜工程を示す断面図である。(e)は、能動膜、 n^+ 層形成工程を示す断面図である。(f)は、能動膜、 n^+ 層からなる半導体層の加工工程及びコンタクトホール形成工程を示す断面図である。(g)は、本発明の実施例1における絶縁層を介した上部電極と下部電極の導通構造を有する液晶基板を示す断面図である。

【図2】図2は、本発明の実施例2における絶縁層を介した上部電極と下部電極の導通方法を説明するための液晶基板の製造工程図である。(a)は、ゲート電極形成工程を示す断面図である。(b)は、透明導電膜成膜工程を示す断面図である。(c)は、画素電極形成工程を示す断面図である。(d)は、ゲート絶縁膜成膜工程を示す断面図である。(e)は、能動膜、 n^+ 層形成工程を示す断面図である。(f)は、能動膜、 n^+ 層からなる半導体層の加工工程及びコンタクトホール形成工程を示す断面図である。(g)は、焼成後に導電性を有する導通材の成膜工程を示す断面図である。(h)は、

(g)で成膜した導電性膜をパターニングする工程を示す断面図である。(i)は、本発明の実施例2における絶縁層を介した上部電極と下部電極の導通構造を有する液晶基板を示す断面図である。

【図3】図3は、本発明の実施例3における絶縁層を介した上部電極と下部電極の導通方法を説明するための液晶基板の製造工程図である。(a)は、ゲート電極形成工程を示す断面図である。(b)は、ゲート絶縁層成膜工程を示す断面図である。(c)は、能動膜、 n^+ 層形成工程を示す断面図である。(d)は、能動膜、 n^+ 層からなる半導体層の加工工程を示す断面図である。

(e)は、ソース電極、ドレイン電極形成工程を示す断面図である。(f)は、上部絶縁層の成膜工程を示す断面図である。(g)は、コンタクトホール形成工程を示す断面図である。(h)は、焼成後に導電性を有する導

電性膜の成膜工程を示す断面図である。(i)は、本発明の実施例3における絶縁層を介した上部電極と下部電極の導通構造を有する液晶基板を示す断面図である。

【図4】図4は、本発明の実施例4における絶縁層を介した上部電極と下部電極の導通方法を説明するための液晶基板の製造工程図である。(a)は、ゲート電極形成工程を示す断面図である。(b)は、ゲート絶縁層成膜工程を示す断面図である。(c)は、能動膜、 n^+ 層形成工程を示す断面図である。(d)は、能動膜、 n^+ 層からなる半導体層の加工工程を示す断面図である。

(e)は、ソース電極、ドレイン電極形成工程を示す断面図である。(f)は、上部絶縁層の成膜工程を示す断面図である。(g)は、コンタクトホール形成工程を示す断面図である。(h)は、焼成後に導電性を有する導通材の成膜工程を示す断面図である。(i)は、(h)で成膜した導電性膜をパターニングする工程を示す断面図である。(j)は、本発明の実施例4における絶縁層を介した上部電極と下部電極の導通構造を有する液晶基板を示す断面図である。

【図5】図5は、従来の絶縁層を介した上部電極と下部電極の導通方法を説明するための液晶基板の製造工程図である。(a)は、ゲート電極形成工程を示す断面図である。(b)は、透明導電膜成膜工程を示す断面図である。(c)は、画素電極形成工程を示す断面図である。(d)は、ゲート絶縁膜成膜工程を示す断面図である。(e)は、能動膜、 n^+ 層形成工程を示す断面図である。(f)は、能動膜、 n^+ 層からなる半導体層の加工工程及びコンタクトホール形成工程を示す断面図である。(g)は、Alなどの導通材を成膜する工程を示す

断面図である。(h)は、(g)で成膜した導通材を加工する工程を示す断面図である。(i)は、従来の絶縁層を介した上部電極と下部電極の導通構造を有する液晶基板を示す断面図である。

【図6】図6は、従来の絶縁層を介した上部電極と下部電極の導通構造を有する液晶基板を示す断面図である。

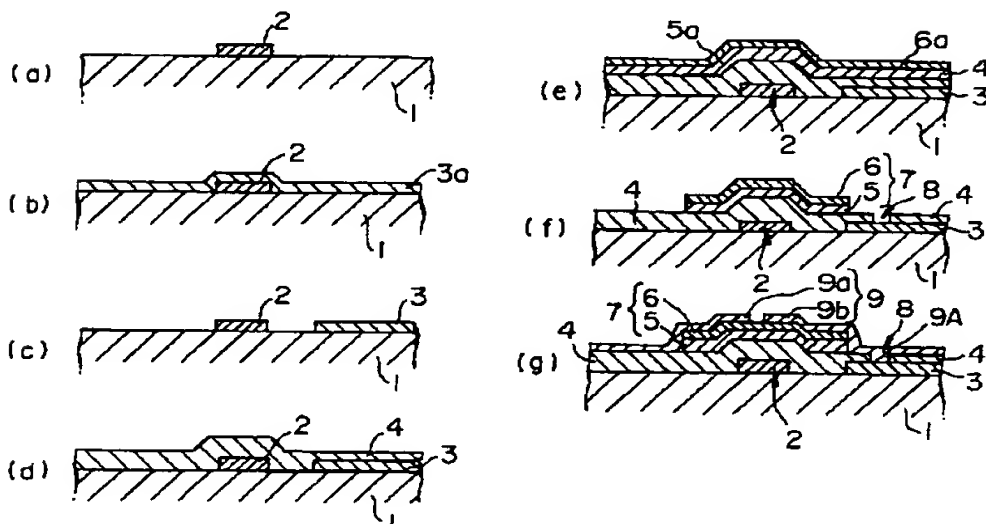
【図7】図7は、図6の要部拡大図である。

【図8】図8は、コンタクトホールの形状によるアスペクト比を説明するための図である。

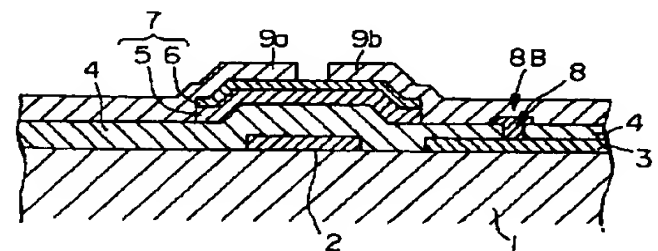
【符号の説明】

- 1 基板
- 2 ゲート電極
- 3 画素電極
- 4 ゲート絶縁層
- 5 能動膜
- 5 a a-Si膜
- 6 n^+ 層
- 6 a n^+ a-Si膜
- 7 半導体層
- 8 コンタクトホール
- 8 A 導通材
- 8 B 導通材
- 8 C 導通材
- 9 a ソース電極
- 9 b ドレイン電極
- 10 上部絶縁層
- 11 画素電極
- 11 a 導通材
- 13 画素電極

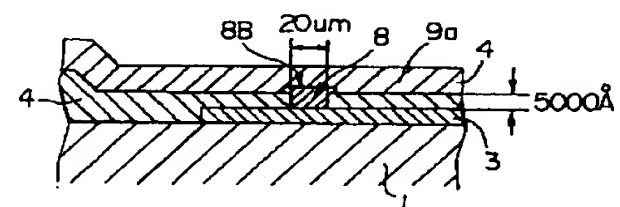
【図1】



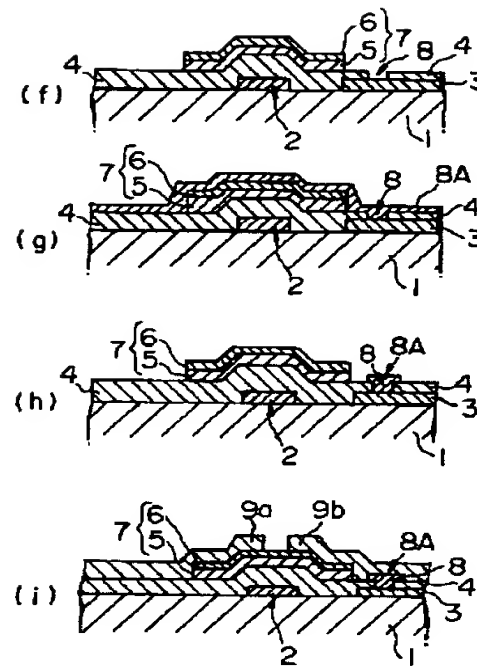
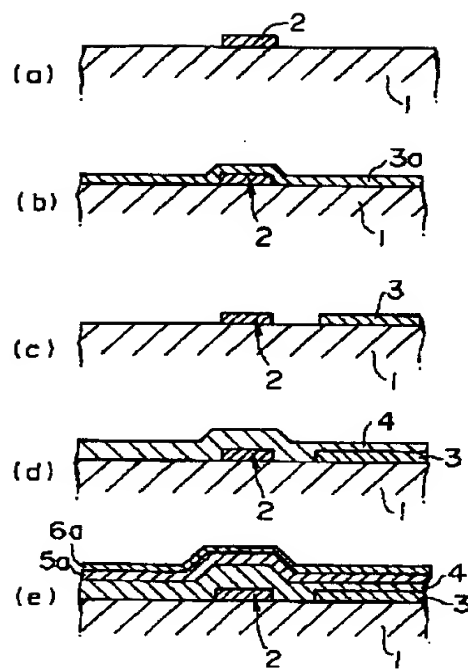
【図6】



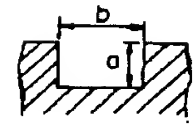
【図7】



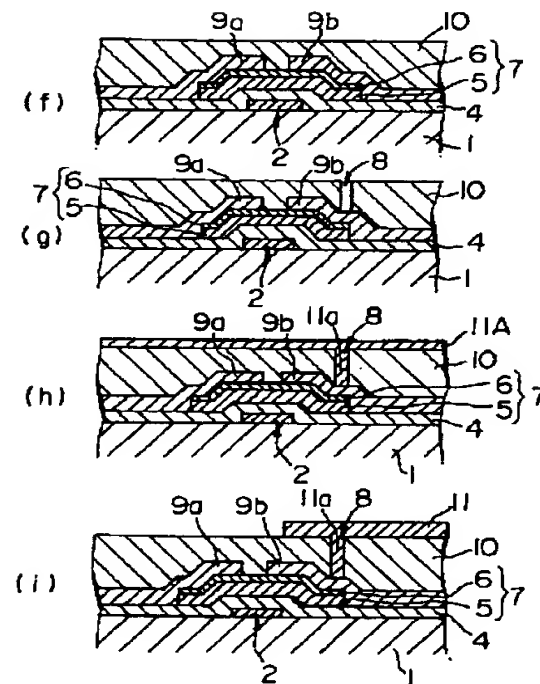
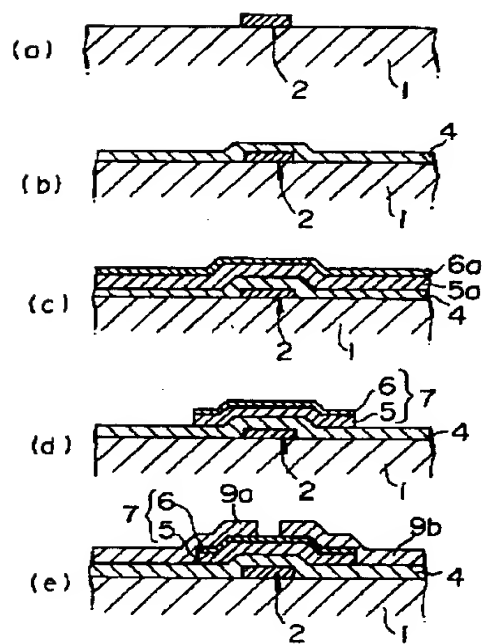
【図 2】



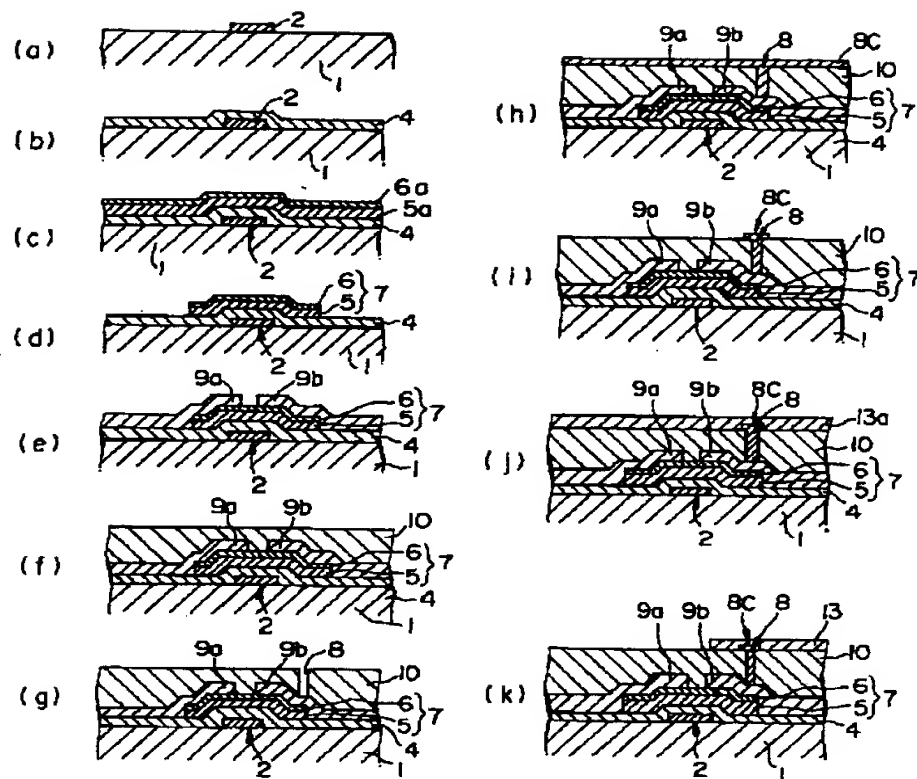
【図 8】



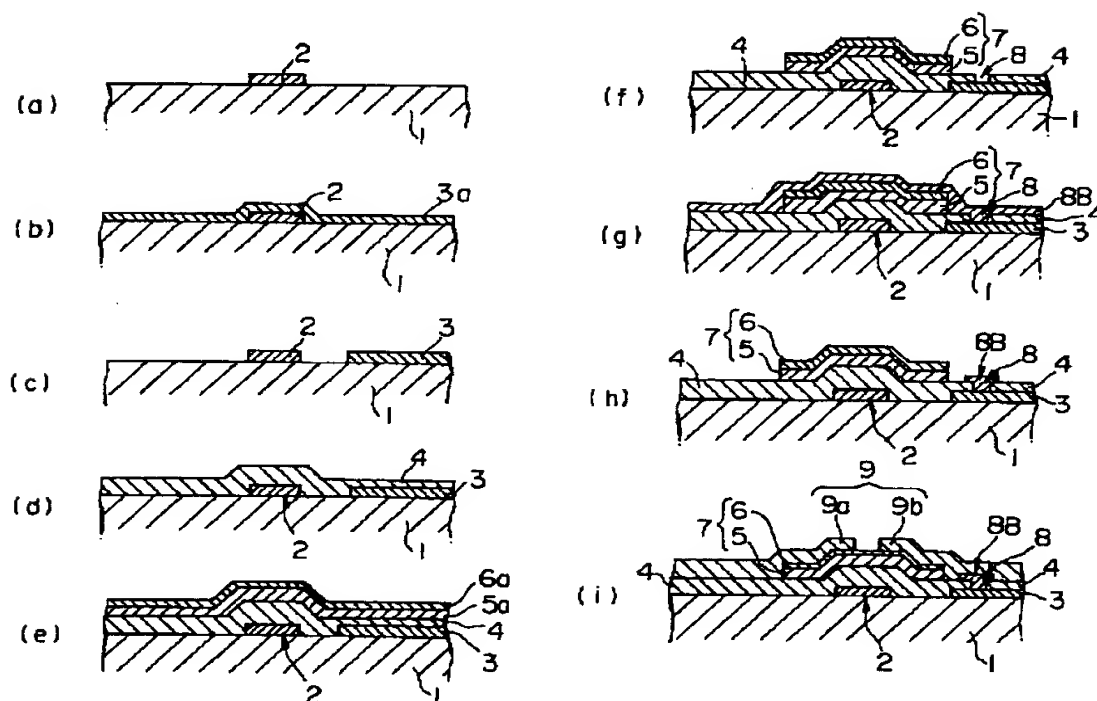
【図 3】



【図 4】



【図 5】



フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 27/12

29/784

識別記号

庁内整理番号

C

F I

技術表示箇所

(72)発明者 松枝 主範
東京都大田区雪谷大塚町 1 番 7 号 アルプ
ス電気株式会社内